



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09312349 A

(43) Date of publication of application: 02 . 12 . 97

(51) Int. Cl. H01L 21/8238
 H01L 27/092
 B42D 15/10
 C30B 25/18
 C30B 29/06
 H01L 29/786
 H01L 21/336
 // H01L 21/316

(21) Application number: 08234479

(22) Date of filing: 04 . 09 . 96

(30) Priority: 18 . 03 . 96 JP 08 88734

(71) Applicant: SONY CORP

(72) Inventor: INAKANAKA HIROSHI

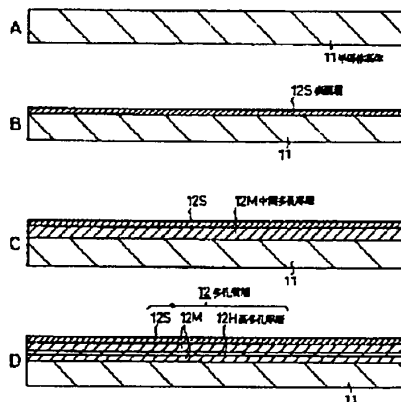
(54) THIN FILM SEMICONDUCTOR DEVICE AND
 MANUFACTURE OF IC CARD

(57) Abstract:

PROBLEM TO BE SOLVED: To manufacture easily, steadily and mass-productively a thin film semiconductor device and an IC card by separating a semiconductor film having circuit elements and integrated circuits from a semiconductor substrate through a porous film.

SOLUTION: A porous layer 12 forming step forms a low-porosity surface layer and high-porosity layer at the side of a semiconductor substrate 11, i.e., inner side. A semiconductor film is epitaxially grown on the surface of this layer 12, circuit elements or integrated circuits are formed thereon. The epitaxial semiconductor layer on the semiconductor substrate 11 is separated from it, together with its support sheet through the porous layer 12 formed on the substrate 11 after the support sheet e.g. flexible resin sheet is adhered to the semiconductor film to integrate it with the epitaxial semiconductor film.

COPYRIGHT: (C)1997,JPO



THIS PAGE BLANK (USPTO)

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8238			H 0 1 L 27/08	3 2 1 M
27/092			B 4 2 D 15/10	5 2 1
B 4 2 D 15/10	5 2 1		C 3 0 B 25/18	
C 3 0 B 25/18			29/06	5 0 4 E
29/06	5 0 4		H 0 1 L 21/316	T
審査請求 未請求 請求項の数26 O L (全 27 頁) 最終頁に続く				

(21) 出願番号 特願平8-234479

(22) 出願日 平成8年(1996)9月4日

(31) 優先権主張番号 特願平8-88734

(32) 優先日 平8(1996)3月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田舎中 博士

東京都品川区北品川6丁目7番35号 ソニー株式会社内

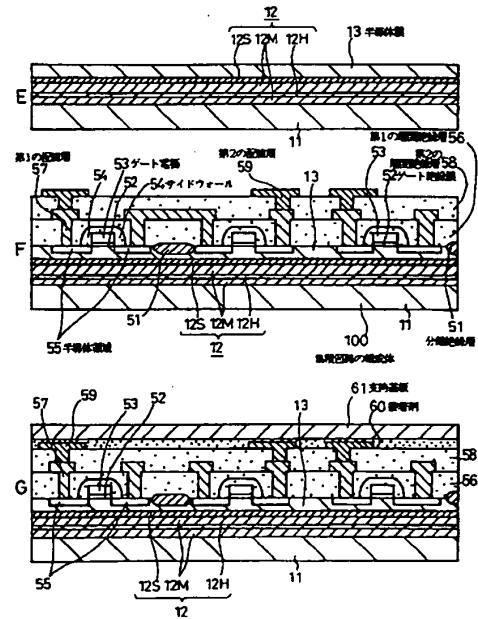
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 薄膜半導体装置およびICカードの製造方法

(57) 【要約】

【課題】 薄膜単結晶による薄膜半導体装置およびICカードを容易、確実、量産的に、低コストで製造でき、さらにフレキシブルに構成することもできるようにする。

【解決手段】 半導体基体11の表面を多孔質層に変化させる工程と、この多孔質層12に半導体膜13を形成する工程と、この半導体膜13上に回路素子もしくは集積回路を形成する工程と、この回路素子もしくは集積回路を形成した半導体膜13を多孔質層12を介して半導体基体11から剥離する工程と採って目的とする薄膜半導体装置を製造する。



工程図(その2)

【特許請求の範囲】

【請求項1】 半導体基体表面を多孔質層に変化させる工程と、

該多孔質層に半導体膜を形成する工程と、

該半導体膜上に回路素子もしくは集積回路を形成する工程と、

該回路素子もしくは集積回路を形成した半導体膜を上記多孔質層を介して上記半導体基体から剥離する工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項2】 上記多孔質層に形成する半導体膜がエピタキシャル半導体膜であることを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項3】 上記多孔質層の形成工程において、表面に多孔率が低い層を形成し、内部側に多孔率が高い層を形成することを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項4】 上記多孔質層の形成工程において、表面に多孔率が低い表面層を形成し、該表面層より内部側に上記表面層より高い多孔率を有する中間多孔率層を形成し、該中間多孔率層内または該中間多孔率層と半導体基体との界面に上記中間多孔率層より高い多孔率を有する高多孔率層を形成することを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項5】 上記多孔質層の形成工程が、上記半導体基体表面を陽極化成することによって上記多孔質層を形成する陽極化成工程であることを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項6】 上記多孔質層の形成工程が、上記半導体基体表面を低電流密度で陽極化成する工程と、その後、高電流密度で陽極化成する工程とによることを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項7】 上記多孔質層の形成工程は、上記半導体基体表面を低電流密度で陽極化成する工程と、該低電流密度よりも高い中間低電流密度で陽極化成する工程と、高電流密度で陽極化成する工程とによることを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項8】 上記多孔質層の形成工程における上記高電流密度での陽極化成において、電流を間欠的に流すことを特徴とする請求項6に記載の薄膜半導体装置の製造方法。

【請求項9】 上記多孔質層の形成工程における上記中間低電流密度での陽極化成において、電流密度を漸次増大させることを特徴とする請求項7に記載の薄膜半導体装置の製造方法。

【請求項10】 上記多孔質層の形成工程における陽極化成を、

フッ化水素とエタノール、またはフッ化水素とメタノールを含有する電解溶液中で行うことを特徴とする請求項5に記載の薄膜半導体装置の製造方法。

【請求項11】 上記多孔質層の形成工程における上記陽極化成の電流密度を変更し、かつ電解溶液の組成を変更することを特徴とする請求項5に記載の薄膜半導体装置の製造方法。

【請求項12】 上記多孔質層の形成における陽極化成を、暗所で行うことを特徴とする請求項5に記載の薄膜半導体装置の製造方法。

【請求項13】 上記多孔質層の形成工程後に、水素ガス雰囲気中で加熱する工程を有することを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項14】 上記多孔質層の形成工程と、上記水素ガス雰囲気中での加熱工程との間に、上記多孔質層を熱酸化する工程を有することを特徴とする請求項13に記載の薄膜半導体装置の製造方法。

【請求項15】 上記半導体基体がシリコンの単結晶である請求項1に記載の薄膜半導体装置の製造方法。

【請求項16】 半導体基体がボロンを高濃度にドーピングした半導体基体であることを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項17】 上記回路素子もしくは集積回路を形成した半導体膜上に支持基板を接合して、上記半導体膜と上記支持基板とを一体化する工程と、上記半導体膜と上記支持基板とを一体として上記半導体基体から剥離する工程とを有することを特徴とする請求項1に記載の薄膜半導体装置の製造方法。

【請求項18】 半導体基体表面を多孔質層に変化させる工程と、

該多孔質層に半導体膜を形成する工程と、

該半導体膜上に回路素子もしくは集積回路を形成する工程と、

該回路素子もしくは集積回路を形成した半導体膜に、ICカードを構成する支持基板を貼り合わせて、該半導体膜と該支持基板とを一体化する工程と、

該一体化した半導体膜と基板とを一体として半導体基体から剥離する工程とを有することを特徴とするICカードの製造方法。

【請求項19】 上記多孔質層に形成する半導体膜がエピタキシャル半導体膜であることを特徴とする請求項18に記載のICカードの製造方法。

【請求項20】 上記半導体膜を形成した後、該半導体膜表面を研磨する工程を有することを特徴とする請求項18に記載のICカードの製造方法。

【請求項21】 上記半導体膜を半導体基体から剥離した後、この剥離面に保護膜もしくは保持基板を被着する工程を有することを特徴とする請求項18に記載のICカードの製造方法。

【請求項22】 半導体基体表面を多孔質層に変化させ

る工程と、
該多孔質層に半導体膜を形成する工程と、
該半導体膜に回路素子もしくは集積回路を形成する工程と、
該半導体膜上に、剛性を有する保持基板を接合する工程と、
該保持基板が接合された状態で、上記半導体膜を上記多孔質層を介して上記半導体基体から剥離する工程と、
上記保持基板にダイシング用フィルムを接合する工程と、
上記半導体膜をチップ化するダイシングを、上記半導体膜から上記保持基板に差し渡って行うダイシング工程と、
該ダイシングによってチップ化された保持基板を有する半導体チップを、支持基板に接合する工程と、
上記保持基板を除去する工程と、
上記支持基板上の少なくとも半導体チップを覆って保護樹脂膜を被着形成する工程とを有することを特徴とする薄膜半導体装置の製造方法。
【請求項 2 3】 上記多孔質層に形成する半導体膜がエピタキシャル半導体膜であることを特徴とする請求項 2 2 に記載の薄膜半導体装置の製造方法。
【請求項 2 4】 上記保持基板を除去する工程の後に、上記支持基板に接合された上記半導体膜チップ上に絶縁層を被着形成する工程と、
該絶縁層に形成したコンタクト窓を通じて上記回路素子もしくは集積回路の所定部に配線層をコンタクトさせて形成する配線層の形成工程と、
その後上記保持基板を除去する工程と、
上記支持基板上の少なくとも半導体チップを覆って保護樹脂膜を被着形成する工程とを有することを特徴とする請求項 2 2 に記載の薄膜半導体装置の製造方法。
【請求項 2 5】 上記配線層の所定部に金属バンプを形成する工程を有することを特徴とする請求項 2 2 に記載の薄膜半導体装置の製造方法。
【請求項 2 6】 上記保持基板を透明基板によって構成し、
該保持基板の上記半導体膜上への接合を、紫外線照射によって接着性が著しく低下する接着剤によって接合することを特徴とする請求項 2 2 に記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜半導体装置および IC カードすなわち IC（集積回路）を内蔵するカード）の製造方法に係わる。

【0002】

【従来の技術】近年、マイクロプロセッサと IC メモリを内蔵する IC カードが注目されている。IC カードは、磁気カードに比較してきわめて大きな記憶容量を有

し、高度なセキュリティ機能を有することが特徴である。

【0003】この IC カードは、通常札入れなどに入れて携帯されることが多く、衣服のポケットなどに収容された場合、携帯者の動きによりカードに曲げの力が加わる。カードが曲げられた際の曲げ力により、IC チップを埋設したプラスチック基板が変形し、IC チップに力が加わってしまう。

【0004】ところが、従来通常の IC チップ、すなわち半導体チップ自体にはフレキシブル性がなく、しかも、比較的脆弱であることから、上述した IC チップに外力が与えられると、この IC チップが破損するおそれがある。このような IC チップの破損防止のために、曲げに対する機械的強度の向上や、IC チップ実装部分とその他の境界部分を軟質化することにより曲げ応力を吸収する等、種々の提案がなされている。

【0005】

【発明が解決しようとする課題】しかしながら、実際には、IC チップ自体が、剛性（堅い）状態すなわちフレキシブルでないままで、その破損を確実に回避するように外力を吸収させる構造とすることは困難である。そこで、このような、IC カードをはじめとして、IC チップを有してなる半導体装置においては、この IC チップすなわち半導体チップ自体が、フレキシブルであって、曲げ応力を吸収できるように構成することが望ましい。

【0006】また、この半導体チップとしては、アモルファス半導体や多結晶半導体であるより、単結晶半導体である方が、電気的特性にすぐれていることから、この種の IC チップ等の半導体装置においても単結晶半導体によって構成することが望ましい。

【0007】本発明製造方法においては、容易、確実、量産的に、薄膜半導体装置および IC カードを製造することができ、また、これらをフレキシブルにも構成できるようにするものである。

【0008】また、本発明においては、薄膜半導体装置あるいは IC カードにおいて、その少なくとも半導体チップを覆って保護樹脂膜を形成することによってパッケージングを行い、このパッケージングを含めて、全体として十分に薄膜構成とすることができ、またフレキシブル化をはかることができるようにして、IC チップの破損を効果的に回避することができるようにし、半導体装置あるいは IC カードを容易、確実、量産的に、したがって、低価格をもって製造することができるようにする。

【0009】

【課題を解決するための手段】本発明による薄膜半導体装置の製造方法は、半導体基体表面を多孔質層に変化させる工程と、この多孔質層に半導体膜を形成する工程と、この半導体膜上に回路素子もしくは集積回路を形成する工程と、この回路素子もしくは集積回路を形成した

半導体膜を多孔質層を介して半導体基体から剥離する工程と採って目的とする薄膜半導体装置を製造する。

【0010】また、本発明によるICカードの製造方法は、半導体基体表面を多孔質層に変化させる工程と、この多孔質層に半導体膜を形成する工程と、半導体膜上に回路素子もしくは集積回路を形成する工程と、この回路素子もしくは集積回路を形成した半導体膜に、ICカードを構成する基板を貼り合わせて、この半導体膜と基板とを一体化する工程と、これら半導体膜と基板とを一体として半導体基体から剥離する工程とを採って目的とするICカードを製造する。

【0011】また、本発明による製造方法においては、半導体基体表面を多孔質層に変化させる工程と、この多孔質層に半導体膜を形成する工程と、半導体膜に集積回路を形成する工程と、この集積回路が形成された半導体膜上に、剛性を有する保持基板を接合する工程と、保持基板が接合された状態で、半導体膜を上記多孔質層を介して半導体基体から剥離する工程と、保持基板にダイシング用フィルムを接合する工程と、半導体膜をチップ化するダイシングを、半導体膜から保持基板に差し渡って行うダイシング工程と、ダイシングによってチップ化された保持基板を有する半導体チップを、支持基板に接合する工程と、保持基板を除去する工程と、少なくとも半導体チップを覆って保護樹脂膜を被着形成してパッキングを行う工程とを採って目的とする薄膜半導体装置を製造する。

【0012】上述の本発明製造方法によれば、半導体基体表面自体を変化させて多孔質層を形成し、これの上に半導体膜を形成し、この半導体膜に、半導体集積回路を形成し、この半導体膜を多孔質層におけるあるいは多孔質層との界面における破断によって半導体基体から剥離して、半導体チップを構成するので、この半導体膜すなわち半導体チップは回路素子を形成できる程度に充分薄く、容易、確実に形成することができる。

【0013】したがって、本発明製造方法によれば、フレキシブルな半導体チップとして構成することができ、薄膜半導体装置、ICカードにおいて、半導体チップを含めて全体としてフレキシブルに構成することができることによって、これらの外力による破損を効果的に回避できる。

【0014】また、本発明製造方法によれば、ICカードを構成する基板すなわち支持基板自体に半導体膜を接合し、その後この半導体膜を、これを形成した半導体基板から剥離する方法によることができるので、薄膜半導体を取り扱うにもかかわらず、ハンドリング良く容易にICカードを製造することができる。

【0015】また、本発明においては、パッケージングを、保護樹脂膜の被覆によって行うものであるが、この場合においても、その全体の厚さを十分に小さくできるものであることから、パッケージングを行うにもかかわ

らず、全体としてフレキシブルに構成することができる。

【0016】また、本発明製造方法における多孔質層上に形成する半導体膜は結晶性にすぐれたいわゆるエピタキシャル半導体膜としても形成することができる。

【0017】

【発明の実施の形態】本発明の実施の形態を説明する。本発明においては、半導体基体表面を例えば陽極化成によって変化させて、互いに多孔率（ポロシティ）が異なる2層以上の層からなる多孔質層を形成する。そして、この多孔質層の表面に半導体膜をエピタキシャル成長し、これに回路素子もしくは集積回路を形成する。その後このエピタキシャル半導体膜を多孔質層を介して、半導体基体から剥離して目的とする薄膜半導体装置を製造する。

【0018】一方、残された半導体基体は、再び上述した薄膜半導体の製造に繰り返して使用される。また、この繰り返し使用されて薄くなった半導体基体は、これ自体を薄膜半導体として用いることができる。

【0019】多孔質層の形成工程においては、その表面に面して多孔率が低い層を形成し、多孔質化がされない半導体基体に近い側すなわち内部側に多孔率が高い層を形成する。

【0020】また、多孔質層形成工程において、例えば多孔率が低い表面層と、この表面層と半導体基体との間に形成され、多孔率が表面層のそれより高い中間多孔率層と、この中間多孔率層内もしくはこの中間多孔率層の下層すなわち多孔質化がなされていない半導体基体との界面に形成され、中間多孔率層より高い多孔率を有する高多孔率層とを形成することができる。

【0021】多孔質層を形成する陽極化成においては、半導体基体表面を低電流密度で陽極化成する工程と、その後、高電流密度で陽極化成する工程とをとる。

【0022】また、陽極化成において、半導体基体表面を低電流密度で陽極化成する工程と、更にこの低電流密度よりも少し高い中間低電流密度で陽極化成する工程と、更にこれより高電流密度で陽極化成する工程とをとることができる。

【0023】また、陽極化成において、その高電流密度での陽極化成は、高電流密度の通電を間欠的に行うようにすることができる。

【0024】また、多孔質層を形成する陽極化成における、中間低電流密度での陽極化成において、その電流密度を漸次大きくすることができる。

【0025】陽極化成は、フッ化水素とエタノールを含有する電解溶液中、あるいはフッ化水素とメタノールを含有する電解溶液中で行うことができる。

【0026】また、陽極化成工程において、電流密度を変更するに際して、電解溶液の組成も変更することができる。

【0027】多孔質層を形成した後は、水素ガス雰囲気中で加熱することが好ましい。また、多孔質層を形成した後の、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することが好ましい。

【0028】半導体基体は、シリコンSi単結晶、或る場合はSi多結晶、あるいはGaAs単結晶等の化合物半導体など種々の半導体材料基体によって構成することができるが、Si単結晶薄膜を形成する場合においては、Si単結晶基体を用いることが好ましい。

【0029】半導体基体の形状は、種々の構成を採ることができる。例えばウェファ状すなわち円板状、あるいは基体表面が曲面を有する単結晶引上げによる円柱体状インゴットによるなど、種々の形状とすることができる。

【0030】また、半導体基体は、n型もしくはp型の不純物がドーパされた半導体基体あるいは、不純物を含まない半導体基体によって構成することができる。しかし、陽極化成を行う場合は、p型の不純物が高濃度にドーパされた低比抵抗の半導体基体いわゆる p^+ のSi基体を用いることが好ましい。この半導体基体として p^+ 型Si基体を用いるときは、p型不純物の例えばボロンBが、約 10^{19} atoms/cm³程度にドーパされ、その抵抗が $0.01 \sim 0.02 \Omega \cdot \text{cm}$ 程度のSi基板を用いることが望ましい。そして、この p^+ 型Si基体を陽極化成すると、基板表面とほぼ垂直方向に細長く伸びた微細孔が形成され、結晶性を維持したまま多孔質するため、望ましい多孔質層が形成される。

【0031】このように結晶性を維持したまま多孔質された多孔質層上に、半導体膜をエピタキシャル成長する。この半導体膜は、単層のエピタキシャル成長による半導体膜によって構成することもできるし、2層以上の複層半導体膜とすることができる。

【0032】このように、半導体基体上にエピタキシャル成長した半導体膜は、半導体基体から剥離するが、この剥離に先立って例えば半導体膜上に、フレキシブル樹脂シート等による支持基板を接合してこの支持基板とエピタキシャル半導体膜とを一体化した後、エピタキシャル半導体膜を支持基板と共に、半導体基体から、この半導体基体に形成した多孔質層を介して剥離することができる。

【0033】この支持基板は、フレキシブルシートに限られるものでなくガラス基板、樹脂基板あるいは例えば所要のプリント配線がなされたフレキシブル、もしくは剛性いわゆる堅い(リジッド)透明プリント基板によって構成することもできるものである。

【0034】半導体基体表面には、多孔率を異にする2層以上からなる多孔質層を形成するものであるが、最表面の多孔質層は、その多孔率が比較的小さく緻密な多孔質層として形成し、この多孔質層上に良好にエピタキシャル半導体膜を成長させることができるようにし、またこの表面層より内側すなわち下層側においては比較的多

孔率の高い多孔質層を基体面に沿って形成することによってこれ自体の多孔率化による機械的強度の低下、あるいはこの多孔質層と他との格子定数の相違に基く歪みによって脆弱化し、この層においてエピタキシャル半導体膜の剥離、すなわち分離を容易に行うことができる。例えば、超音波印加によって分離させることができる程度に弱い多孔質層を形成することも可能となる。

【0035】多孔質層の表面より内側に形成する多孔率を大きくした層は、その多孔率が大きいほど上述の剥離が容易になるが、この多孔率が余り大きいと、上述したエピタキシャル半導体膜の剥離処理前に、剥離を発生させたり、多孔質層に破損を来すおそれがあることから、この多孔率の大なる層における多孔率は、40%以上70%以下とする。

【0036】また、多孔質層に多孔率の大なる層を形成する場合、その多孔率が大きくなるにつれ歪みが大きくなり、この歪みの影響が多孔質層の表面層にまで及ぶと、表面層に亀裂を発生させるおそれが生じてくる。また、このように多孔質層の表面にまで歪みの影響が生じると、これの上にエピタキシャル成長させる半導体膜に結晶欠陥を発生させる。そこで、多孔質層には、その多孔率が高い層と多孔率の低い表面層との間に、歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率を有する中間多孔率層を形成する。このようにすることにより、高多孔率層の多孔率を、上述のエピタキシャル半導体膜の剥離を確実に行うことができる程度に大きくし、しかも結晶性にすぐれたエピタキシャル半導体膜の形成を可能にする。

【0037】上述した半導体基体表面の多孔質化の陽極化成は、公知の方法、例えば伊藤らによる表面技術Vol. 46, No. 5, pp. 8~13, 1995〔多孔質Siの陽極化成〕に示された方法によることができる。すなわち、例えば図1にその概略構成図を示す2重セル法で行うことができる。この方法は、第1および第2の槽1Aおよび1Bを有する2槽構造の電解溶液槽1が用いられる。そして、両槽1Aおよび1B間に多孔質層を形成すべき半導体基体11を配置し、両槽1Aおよび1B内に、直流電源2が接続された封の白金電極3Aおよび3Bの各一方が配置される。電解溶液槽1の第1および第2の槽1Aおよび1B内には、それぞれ例えばフッ化水素HFとエタノールC₂H₅OHとを含有する電解溶液4、あるいはフッ化水素HFとメタノールCH₃OHとを含有する電解溶液4が収容され、第1および第2の槽1Aおよび1Bにおいて電解溶液4に半導体基体11の両面が接触するように配置され、かつ両電極3Aおよび3Bが電解溶液4に浸漬配置される。そして、半導体基体11の多孔質層を形成すべき表面側の槽1A内の電解溶液4に浸漬されている電極3A側を負極側として、直流電源2が接続されて両電極3Aおよび3B間

に通電がなされる。このようにすると、半導体基体11側を陽極側、電極3Aを陰極側とする給電がなされ、これにより、半導体基板の電極3A側に対向する表面が侵蝕されて多孔質化する。

【0038】この2槽セル法によるときは、オーミック電極を半導体基体に被着形成することが不要となり、このオーミック電極から不純物が半導体基体に導入することが回避される。

【0039】そしてこの陽極化成における条件の選定により、形成される多孔質層の構造が変化するものであり、これによってこれの上に形成する半導体膜の結晶性および剥離性が変化する。

【0040】本発明方法においては、前述したように、多孔率を異にする2層以上の層からなる多孔質層を形成するものであり、この場合、陽極化成処理において、電流密度が異なる2段階以上の多段階陽極化成法を採用する。具体的には、表面に多孔率が低いすなわち口径の小さい微細孔による比較的緻密な低多孔率の多孔質層を作製するため、まず、低電流密度で第1陽極化成を施す。多孔質層の膜厚は時間に比例するので、所望する膜厚になるような時間で陽極化成を行う。その後、かなり高い電流密度で第2陽極化成を行えば、最初に形成された低多孔率の多孔質層の下側に多孔率の大きい高多孔率の多孔層が形成される。すなわち、少くとも多孔率の低い低多孔率層と、多孔率の高い高多孔率層を有する多孔質層が形成される。

【0041】そして、この場合、低多孔率の多孔質層と、高多孔率の多孔質層との界面付近には、両者の格子定数の違いにより大きな歪みが生じる。この歪みがある値以上になると、多孔質層は2つに分離する。したがって、この歪みによる分離あるいは、多孔率による機械的強度の低下による分離が生じるか、生じないかという境界条件付近の陽極化成条件で多孔質層を形成すれば、この多孔質層上に成長させた半導体膜、例えばエピタキシャル半導体膜は、この多孔質層を介して容易に分離することができる。

【0042】この場合の、低電流密度の第1陽極化成は、例えば0.01～0.02Ωcmのp型シリコン単結晶基体を用い、HF:C₂H₅OH=1:1(HFが49%溶液、C₂H₅OHが95%溶液での体積比)(以下同様)のとき、0.5～10mA/cm²程度の低電流密度で数分間から数十分間行う。また、高電流密度の第2陽極化成は、例えば40～300mA/cm²程度の電流密度で、1～10秒間、好ましくは3秒間前後の時間で行う。

【0043】上述した第1および第2の2段階の陽極化成では、多孔質層内部の高多孔率層で発生する歪みがかなり大きくなるため、多孔質層の表面までこの歪みの影響が及び、この場合、前述したように、亀裂の発生や、これの上に形成するエピタキシャル半導体膜に結晶欠陥

が発生させるおそれが生じる。そこで、多孔質層において、低多孔率の表面層と高多孔率層との間に、これらによって発生する歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率層を形成する。具体的には、最初に低電流密度の第1陽極化成を行い、次いで第1陽極化成よりもやや高い電流密度の第2陽極化成を行って、その後それらよりもかなり高い電流密度で第3陽極化成を行う。第1陽極化成の条件は、特に制限されないが、例えば0.01～0.02Ωcmのp型シリコン単結晶基体を用い、電解溶液としてHF:C₂H₅OH=1:1を用いるとき、0.5～3mA/cm²未満程度、第2陽極化成の電流密度は例えば3～20mA/cm²程度、第3陽極化成の電流密度は、例えば40～300mA/cm²程度で行うことが好ましい。例えば1mA/cm²の電流密度で陽極化成を行うと、多孔率は約16%程度、7mA/cm²の電流密度で陽極化成を行うと、多孔率は約26%、200mA/cm²の電流密度で陽極化成を行うと、多孔率は約60～70%程度になる。このような陽極化成を行った多孔質層上にエピタキシャル成長を行うと、結晶性のよいエピタキシャル半導体膜が成膜できる。

【0044】また、上述したように電流密度を3段階とする陽極化成を行う場合、第1陽極化成で形成される多孔率が低い表面層はそのまま低い多孔率を保ち、第2陽極化成で形成される多孔率がやや高い中間多孔率層、すなわちバッファ層は、表面層より内側、すなわち表面層と多孔質化がされていない半導体基体との界面に形成されて、多孔質層は表面層と中間多孔率層との2層構造となる。また、上述の第3陽極化成で形成される多孔率の高い高多孔率層は、原理は不明であるが、その電流密度を90mA/cm²程度以上とすると、第2陽極化成で形成した中間多孔率層内にすなわち中間多孔質層の厚さ方向の中間部に形成される。

【0045】また中間多孔率層の形成において、この中間多孔率層を形成する陽極酸化を多段階例えば4mA/cm²で数分間、10mA/cm²で数分間もしくは漸次例えば通電電流密度を1mA/cm²から10mA/cm²へと変化する条件下で行うことによって、低多孔率表面層と、高多孔率層との間に段階的にもしくは傾斜的にその多孔率を、表面層から高多孔率層側に向かって高めた中間多孔率層を形成する。このようにすれば、表面層と高多孔率層との間の歪みは、より緩和されて、さらに確実に結晶性のよい半導体膜をエピタキシャル成長することができる。

【0046】ところで、分離面は、最後に行う多孔率の大きい多孔質層とその直前に行う多孔率の小さいバッファ層との界面で格子定数の違いによる歪みが大きくかかることによって形成することができるが、この最後の陽極化成を行うときに工夫をすると、分離面がより分離

しやすくなる。それは、最後の高電流密度の陽極化成で、例えば時間を3秒間一定に通電するのではなく、1秒間の通電の後陽極化成を停止し、所要時間経過後、例えば1分程度放置した後、同じまたは異なる高電流密度でまた1分間通電してその後陽極化成を停止し、また所要時間経過後、例えば1分程度放置した後、再度同じまたは異なる高電流密度で1秒間通電して陽極化成を停止するという間欠的に通電する方法である。この方法を使用して適当な陽極化成条件を選ぶと、剥離層（分離層）が半導体基板との界面すなわち多孔質層の最下面に形成され、分離面は上記のような中間多孔質層すなわちバッファ層の内部ではなく、多孔質層の半導体基板との界面で分離される。そして半導体基体側表面は電解研磨される。

【0047】この場合、多孔質層における歪みが生じる高多孔質層と表面とが最大限に離間し、中間多孔率層によるバッファ効果が最大限に発揮されることになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。また、このように中間多孔質層が表面側にのみ形成されるので多孔質層の全体の厚さを小さくすることができ、この多孔質層を形成するための半導体基板の消耗厚さを減らすことができ、この半導体基体の繰り返し使用回数を大とすることができる。

【0048】このように、陽極化成条件の選定により、分離面においては、歪が大きく掛かるようにし、しかもこの歪みの影響が半導体膜のエピタキシャル成長面に与えられないようにすることができる。

【0049】また、多孔質層上に、結晶性良く半導体のエピタキシャル成長を行うには、多孔質層の表面層の結晶成長の種となる微細孔を小さくすることが望まれる。このように表面層の微細孔を小さくする手段の一つとしては、陽極化成にあたって電解液中のHF濃度を濃くする方法がある。すなわち、この場合、まず表面層を形成する低電流陽極化成では、HF濃度の濃い電解溶液を使用する。次にバッファ層となる中間多孔率層を形成し、その後、電解溶液のHF濃度を下げてから、最後に高電流密度の陽極化成を行う。このようにすることによって、表面層の微細孔の微細化をはかることができることによって、これの上に結晶性の良いエピタキシャル半導体膜を形成することができるものであり、しかも高多孔率層においては、多孔率を必要充分に高くできるので、エピタキシャル半導体膜の剥離は良好に行うことができる。

【0050】この多孔質層の陽極化成における電解溶液の変更は、例えば表面層の形成においては、電解溶液として、例えば $\text{HF}:\text{C}_2\text{H}_5\text{OH}=2:1$ による電解溶液を使用した陽極化成を行い、バッファ層としての中間多孔率層の形成においては、やや薄いHF濃度の電解溶液、例えば $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ による電解溶液を使用した陽極化成を行い、さらに高多孔率層を形成

においては、電解溶液は、さらにHF濃度を薄くして、例えば $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1\sim 1:2$ の電解溶液を用いた高電流密度の陽極化成を行う。

【0051】なお、上述した多孔質層の形成において、表面層の形成から中間多孔率層の形成にかけて、電流密度を変化させるとき、一旦陽極化成を停止してから、次の陽極化成を行う通電を開始する手順によることもできるし、一旦陽極化成を停止することなくすなわち通電を停止することなく、連続して電流密度を変化させて行うこともできる。

【0052】また、陽極化成を行う際は、光を遮断した暗所で行うことが好ましい。これは、光を照射すると、多孔質層の表面に凹凸が多くなり、結晶性の良好なエピタキシャル半導体膜を得ることが困難になることによる。

【0053】なお、陽極化成されたシリコンの多孔質層は、可視発光素子として利用できる。この場合、上記と逆に光を照射しながら陽極化成することが好ましく、これにより発光効率が上昇する。更に、酸化させると、波長にブルーシフトが起こる。また、半導体基体は、p型でもn型でもよいが、不純物を導入しない高抵抗のものの方が好ましい。

【0054】以上の工程により、表面（片面または両面）に多孔質層が形成された半導体基板を得ることができる。なお、多孔質層全体の膜厚は、特に制限されないが、 $1\sim 50\mu\text{m}$ 、好ましくは $3\sim 15\mu\text{m}$ 、通常 $8\mu\text{m}$ 程度の厚さとすることができる。多孔質層全体の厚さは、半導体基板をできる限り繰り返し使用できるようにするためにできるだけ薄くすることが好ましい。

【0055】また、多孔質層上に、半導体膜を成膜するに先立って、多孔質層をのアニールを行うことが好ましい。このアニールは、水素ガス雰囲気中での熱処理、すなわち水素アニールを挙げることができる。この水素アニールを行うときは、多孔質層の表面に形成された自然酸化膜の完全な除去、および多孔質層中の酸素原子を極力除去することができ、多孔質層の表面が滑らかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。同時にこの前処理によって、高多孔率層と中間多孔率層との界面の強度を一層弱めることができ、エピタキシャル半導体膜の基板からの分離をより容易に行うことができる。この場合の水素アニールは、例えば $950^\circ\text{C}\sim 1150^\circ\text{C}$ 程度の温度範囲で行う。

【0056】また、水素アニールの前に、多孔質層を低温酸化させると、多孔質層の内部は酸化されるので、水素ガス雰囲気中での熱アニールを施しても多孔質層には大きな構造変化が生じない。つまり、多孔質層の表面への剥離層からの歪みが伝わりにくくなり、良質な結晶性のエピタキシャル半導体膜を成膜することができる。この場合の低温酸化は、例えばドライ酸化雰囲気中で 40

0℃で1時間程度で行うことができる。

【0057】そして、上述したように多孔質層表面に半導体のエピタキシャル成長を行う。この半導体のエピタキシャル成長は、単結晶半導体基板の表面に形成された多孔質層は、多孔質ながら結晶性を保っていることから、この多孔質層上へのエピタキシャル成長は可能である。この多孔質層表面へのエピタキシャル成長は、例えばCVD法により、例えば700℃～1100℃の温度で行うことができる。

【0058】また、上述した水素アニール、および半導体のエピタキシャル成長のいずれにおいても、半導体基体を所定の基体温度に加熱する方法としては、いわゆるサセプト加熱方式によることもできし、半導体基体自体に直接電流を流して加熱する通電加熱方式等を探ることができる。

【0059】多孔質層上に成長させる半導体膜は、前述したように、単層半導体膜とすることも複数の半導体層の積層による複層半導体膜とすることができる。また、この半導体膜は半導体基体と同じ物質でもよいし、異なる物質でもよい。例えば、単結晶Si半導体基体を用い、その表面に形成した多孔質層にSi、あるいはGaAs等の化合物半導体、またはシリコン化合物、例えばSi_{1-y}Ge_yをエピタキシャル成長するとか、これらを適宜組み合わせ積層する等、種々のエピタキシャル成長を行うことができる。

【0060】一方、化合物半導体による薄膜半導体を形成する場合においては、半導体基体として化合物半導体基体を用いることができ、この場合においてもこれに陽極化成を行えば、同様に表面に多孔質層を有する半導体基体を構成することができる。そして、その多孔質層上に化合物半導体をエピタキシャル成長させれば、例えばSi半導体基体上に化合物半導体をエピタキシャル成長させる場合よりも格子不整合を小さくすることができることから良好な結晶性をもつ薄膜化合物半導体を形成することができる。

【0061】また、半導体膜には、その成長に際してn型もしくはp型の不純物を導入することができる。あるいは、半導体膜の成膜後に、イオン注入、拡散等によって不純物の導入を全面もしくは選択的に行うこともできる。この場合、その使用目的に応じて、導電型、不純物の濃度、種類の選択がなされる。

【0062】また、半導体膜の厚さも、薄膜半導体の用途に応じて適宜選択することができる。例えば、半導体集積回路を薄膜半導体に形成する場合、半導体素子の動作層は数μm程度の厚さであるので、例えば5μm程度の厚さに形成することができる。

【0063】上述のようにして得られたエピタキシャル半導体膜の表面には、やや凹凸があり、このエピタキシャル半導体膜に対する回路素子もしくは集積回路の形成工程で行われる例えばフォトリソグラフィ工程における

フォトレジストに対する露光処理での露光装置のマスク合わせの精度が低下するなどの不都合が生じる場合は、エピタキシャル半導体膜表面を研磨することが好ましい。この場合、多孔質層が脆く、弱くなっているので、この多孔質層に負担がかからない弱い研磨を行う。

【0064】次に、回路素子もしくは集積回路を、エピタキシャル半導体膜に形成する。例えばDRAM (Dynamic Random Access Memory) や、CMOS (Complementary Metal Oxide Semiconductor) など、半導体素子、あるいはこれらの素子を組み合わせた集積回路を形成する。これら回路素子もしくは集積回路は、通常一般の半導体製造技術によることができる。その製造は、例えば拡散炉、イオン注入装置、露光装置、CVD (化学的気相成長) 装置、スパッタ装置、洗浄装置、ドライエッチング装置、エピタキシャル成長装置等を使用して半導体基体に形成できる全ての回路素子もしくは集積回路に適用できる。また、回路素子もしくは集積回路としては例えば、ダイオードなどの個別半導体、デジタルまたはアナログIC、フラッシュメモリ等その種類を問わない。

【0065】このように、半導体膜に回路素子もしくは集積回路が形成された薄膜半導体装置は、その全体を絶縁層によって被覆しておくことが好ましい。

【0066】このように、回路素子もしくは集積回路を形成して後、この半導体膜、すなわち薄膜半導体装置に、支持基板を接合する。この支持基板は、例えば樹脂基板、ガラス基板、金属基板、セラミック基板などその種類に制限はない。例えば、ICカードを構成するフレキシブル基板やカバーシートなどに貼り付け、ICカードを構成するようにしてもよい。また、支持基板にも、回路素子もしくは集積回路を形成することもできるものであり、プリント基板等によって構成することができる。この支持基板の接合方法は、例えば接着剤、半田、粘着材等による接合によることができ、その接合強度は、後に行う多孔質層を介しての剥離強度以上の接合強度、すなわち剥離に要する力で接合が破壊することのない程度の接合強度とされ、この支持基板と半導体膜とが一体化して、半導体基体から半導体膜を剥がすことができる程度の接着強度を示す接合剤が用いられる。

【0067】このようにして、支持基板と半導体膜とを一体化させた後、これを半導体基体から多孔質層を介して、すなわち多孔質層内部での破壊、半導体基体の界面(本発明でいう半導体基体の界面とは、半導体基体の多孔質化された部分とされていない半導体基体)との界面での破壊によって剥離させる。この剥離は、高多孔質層を有する多孔質層においては、その高多孔質層で容易に分離する。

【0068】このようにして剥離のなされた半導体膜の、半導体基体からの剥離面には、多孔質層が残存している場合があり、この多孔質層は、必要により、研磨、エッチングなどでこれを除去する。また、除去せずにそ

のままでもよい。あるいは、剥離面の保護のために、保護膜を被着するとか、保護基板例えば樹脂基板を貼り合わせてもよい。

【0069】以上のように製造された薄膜半導体装置は、極めて薄い半導体膜による薄膜半導体に回路素子もしくは集積回路が形成されたもので、フレキシブルで、かつ薄いという特性を利用して、例えばICカードをはじめとして、携帯機器等の電子機器に応用が可能であり、近年の軽薄短小に適応したものである。

【0070】一方、分離された半導体基体は、その表面を研磨して再び使用可能である。例えば1回の薄膜半導体装置の製作に消費される基板の厚さは約 $3 \sim 20 \mu\text{m}$ 程度であるため、10回の繰り返し使用でも消費される厚さは約 $30 \sim 200 \mu\text{m}$ である。そのため、高価な単結晶の半導体基体を繰り返し使用できるので、本発明方法は、極めて低コスト、かつ低エネルギーで薄膜半導体装置を製造することができる。なお、半導体基体表面に消費した分のエピタキシャル成長を行えば、永久に同一の半導体基体を用いることができ、更に低コスト、低エネルギーで薄膜半導体装置を製造することができる。

【0071】次に、本発明の実施例を挙げて説明する。しかしながら、本発明は、この実施例に限定されるものではない。

【0072】〔実施例1〕図2および図3はこの実施例の工程図を示す。まず、高濃度にボロンがドーピングされて、比抵抗が例えば $0.01 \sim 0.02 \Omega\text{cm}$ とされた単結晶Siによるウエファ状の半導体基体11を用意した(図2A)。。そして、この半導体基体11の表面を陽極化成して半導体基体11の表面に多孔質層を形成した。この実施例においては、図1で説明した2槽構造の陽極化成装置を用いて陽極化成を行った。すなわち、第1および第2の各槽1Aおよび1B間に単結晶Siによる半導体基体11を配置し、両槽1Aおよび1Bには、共に $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を注入した。そして、これら各電解溶液槽1Aおよび1Bの電解溶液4中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0073】まず、電流密度を、 $1\text{mA}/\text{cm}^2$ の低電流として、これを8分間通電させた。これにより、口径が小さい微細孔を有し、緻密な多孔率が16%で厚さが $1.7 \mu\text{m}$ の多孔質層を構成する表面層12Sが形成された(図2B)。多孔質層の表面における微細孔が小さいと、後に行う H_2 アニールによって多孔質層の表面がより平坦で滑らかになり、後にこれの上にエピタキシャル成長するSiエピタキシャル半導体膜の結晶性がより向上するという効果がある。その後、一旦通電を停止する。次に、電流密度を $7\text{mA}/\text{cm}^2$ として、8分間の通電を行った。このようにすると、表面層12S下に、この表面層に比し多孔率が高い、多孔率26%で厚さ $6.3 \mu\text{m}$ の中間多孔率層12Mが形成された(図2

C)。その後、再び通電を停止する。次に、電流密度を $200\text{mA}/\text{cm}^2$ に上げて3秒間の通電を行った。このようにすると、中間多孔率層12Mの内部に、すなわち中間多孔率層12Mによって上下から挟み込まれるように、表面層12Sおよび中間多孔率層12Mに比して高い多孔率約60%で厚さ約 $0.05 \mu\text{m}$ の多孔率層12Hが形成される(図2D)。このようにして、表面層12Sと、中間多孔率層12Mと、多孔率層12Hとによる多孔質層12が形成される。

【0074】このように形成された多孔質層12は、中間多孔率層12Mと多孔率層12Hとの多孔率が大きく相違するので、これら界面および界面近傍に大きな歪が生じ、この付近の強度が極端に弱くなる。しかしながら、この歪は、多孔率層12Hと表面層12Sとの間に中間多孔率層12Mが存在することによって、これがバッファーとして作用し、この歪みにより影響を大きく受けやすい多孔質層の表面への歪みの影響を緩和することができる。したがって、この歪みによって、後に多孔質層上に行うエピタキシャル成長の結晶性への影響を効果的に回避できる。

【0075】その後、後に行うエピタキシャル成長がなされる常圧Siエピタキシャル成長装置において、多孔質層12を有する半導体基体11を、 H_2 雰囲気中で 1100°C の加熱すなわちアニール処理を行った。このアニールは、室温から 1100°C まで約20分掛けて升温し、 1100°C で約30分間のアニールを行った。この H_2 アニールにより、口径の小さい微細孔による表面層が平坦で滑らかになる。同時に、多孔質層12の内部では、中間多孔率層12Mと、多孔率層12Hの界面付近において、分離強度が、よりいっそう弱くなった。

【0076】その後、 H_2 アニールを行った常圧Siエピタキシャル成長装置において、多孔質層12上すなわち表面層12S上にSiのエピタキシャル成長を行ってSi半導体膜13を形成した(図3E)。このエピタキシャル成長は、先の H_2 雰囲気中アニール温度の 1100°C から 1030°C まで降温して、 SiH_4 ガスを用いたSiエピタキシャル成長を17分間行った。これより多孔質層12上に結晶性に優れた、厚さ約 $5 \mu\text{m}$ のSiエピタキシャル半導体膜13が形成された。

【0077】このとき、Siエピタキシャル半導体膜13表面に、凹凸があるときは、この表面を研磨する。多孔率層12Hは、上述した歪と、これが多孔率をもっていわば霜柱状とされて脆弱化されて分離強度が非常に弱くなっているのを、これを破損することがないように、弱い力での研磨を行った。これによって、エピタキシャル半導体膜13の表面はより平坦になった。このようにしたことによって、例えば露光装置のマスク合わせにおいて、より高精度に行うことができる。

【0078】このようにしてエピタキシャル成長されたエピタキシャル半導体膜13に、通常の半導体製造プロ

セスによって、回路素子もしくは集積回路を形成して、集積回路の構成体100を得る(図3F)。図示の例では、MOS-FET(絶縁ゲート電界効果型トランジスタ)によるCMOS(Complementary MOS)を有する集積回路を形成した場合で、この場合、エピタキシャル半導体膜13の素子間分離を行うべき部分に、局部的酸化いわゆるLOCOS(Local Oxidation of Silicon)によって分離絶縁層51を形成した。そして、MOS-FETの形成部に例えばエピタキシャル半導体膜13の表面熱酸化によってゲート絶縁膜52を形成し、これの上にゲート電極53を形成する。このゲート電極53の形成は、例えばCVD(化学的気相成長)法によって多結晶Siを全面的に形成し、フォトリソグラフィによるパターンエッチングによってこれを所要のパターンとしてゲート電極53を形成する。次に、半導体膜13のゲート電極53下の両側に、このゲート電極53をマスクとして比較的低濃度にp型もしくはn型の不純物をイオン注入して低濃度のソースおよびドレイン領域を形成する。その後、ゲート電極53の側面に例えばSiO₂によるサイドウォール54を周知の方法で形成する。そして、このサイドウォール54を含んでゲート電極53をマスクにその両側に同様のp型もしくはn型の不純物を高濃度にイオン注入して、これによって形成した高濃度のソースおよびドレイン領域と、先に形成した低濃度のソースおよびドレイン領域とによって、ソースおよびドレイン領域とする半導体領域55を形成する。このようにしてLDD(Lightly Doped Drain)型MOS-FETを形成する。

【0079】その後、全面的に例えばSiO₂による第1の層間絶縁層56を堆積し、平坦化した後、これの上に第1の配線層57を形成する。この第1の配線層57は、第1の層間絶縁層56に穿設したコンタクトホールを通じて、回路素子の所定の半導体領域55に電気的にコンタクトする。さらに、全面的に、例えばSiO₂による第2の層間絶縁層58を形成し、これの上に第2の配線層59を形成する。この第2の配線層59は、第2の層間絶縁層58に穿設したコンタクトホールを通じて、例えば下層の第1の配線層の所定部に電気的にコンタクトする。

【0080】このように、半導体膜13に形成した集積回路を、半導体基体11から分離する。まず、接着剤60を介して例えばフレキシブル樹脂基板よりなる支持基板61を集積回路が形成された半導体膜13上、したがって、第2の配線層59が形成された第2の層間絶縁層58上に接合すなわち貼着する(図3G)。このときの支持基板61の接着強度は、多孔質層12による半導体基体11からの分離強度よりも強い強度、すなわち分離に際して支持基板61に剥離が生じない程度の接着強度とする。

【0081】次に、半導体基体11と支持基板61との

間に両者を引き離す方向の外力を与える。このようにすると、前述したように弱い強度とされた多孔質層12の高多孔率層12Hもしくはその近傍で分離が生じ、半導体基体11から支持基板61とともに集積回路が形成された半導体膜13が剥離する(図4H)。

【0082】この場合の、半導体膜13と、半導体基体11との分離面は、多孔質層12が残存するが、この面に樹脂膜を塗布することによって裏面の保護を行う保護膜62を形成する(図4I)。

【0083】このようにすると、フレキシブルな基板61に、薄膜に形成されたことによってフレキシブルなエピタキシャル半導体膜13による単結晶Si集積回路が形成され、全体としてフレキシブルな目的とする薄膜半導体装置この例では薄膜半導体集積回路を得ることができた。

【0084】分離して残された単結晶Si半導体基体11は、再び上述したと同様な方法を探って薄膜半導体装置を得るための半導体基体として用いることができる。あるいは、この薄膜半導体装置の繰り返し製造によって半導体基体11の厚さが薄くなった場合には、これ自体に回路素子もしくは集積回路を形成する薄膜半導体として用いることができる。

【0085】〔実施例2〕この実施例においては、図5にその概略斜視図を示すように、光透過性樹脂によるICカードを構成する支持基板70上に、それぞれ薄膜半導体による薄膜集積回路71と薄膜太陽電池72とが形成されてなるICカードを製造する場合である。

【0086】この場合、まず薄膜半導体集積回路装置70を構成する集積回路の構成体と、太陽電池72を構成する太陽電池の構成体とを作製する。集積回路の構成体は、図3Fで示した集積回路の構成体100によって構成することができる。すなわち、この構成体100の製造方法は、実施例1において図2～図3Fで説明したと同様の方法によって得ることができるので重複説明を省略する。しかしながら、この実施例のICカードにおいては、集積回路の構成体100は、そのエピタキシャル半導体膜13には、実施例1で説明したCMOSによる集積回路に代えてICカード用の集積回路、フラッシュメモリなどの回路が形成される。

【0087】一方、太陽電池の構成体の製造方法を、図6～図8の工程図を参照して説明する。この場合においても、高濃度にボロンBがドーピングされて、比抵抗が例えば0.01～0.02Ωcmとされた単結晶Siによるウェファ状の半導体基体11を用意した。

【0088】そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用いて、第1および第2の槽1Aおよび1Bに共にHF:C₂H₅OH=1:1の電解溶液4を注入し、各電解溶液槽1Aおよび1Bの電解溶液4中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0089】 先ず、電流密度 $1\text{mA}/\text{cm}^2$ で8分間通電して表面層12Sを形成した(図6A)。一旦通電を停止した後、電流密度 $7\text{mA}/\text{cm}^2$ で8分間通電して中間多孔率層12Mを形成した(図6B)。更に、一旦通電を停止した後、 $200\text{mA}/\text{cm}^2$ を3秒間通電した。このようにすると、中間多孔率層12M内に高多孔率層12Hが形成された(図6C)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

【0090】 この多孔質層12の形成後、実施例2で説明したと同様の方法によって、常圧Siエピタキシャル成長装置内で H_2 雰囲気中でのアニールを行う。このようにすると、多孔質層12の表面層12Sを滑らかとされ、また、多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度の脆弱化がなされる。

【0091】 図17および図18は、この実施例における多孔質層の中間多孔率層12Mと高多孔率層12Hとに渡る断面の上述の H_2 の雰囲気中でのアニールを行う前と、行った後の各10万倍の顕微鏡写真に基く模式図で、これらを比較して明らかなように H_2 中アニールによって結晶粒の成長が生じ、特に高多孔率層12Hにおいては孔部の拡大成長が著しく生じて、霜柱状(図18では柱が存在しない部分での断面を示している)の極めて粗なる層を形成し、この部分における脆弱性が著しくなる。

【0092】 その後、アニールを行った常圧Siエピタキシャル成長装置に、 SiH_4 ガスと B_2H_6 ガスとを用いたエピタキシャル成長を2分間行って、厚さ $0.5\mu\text{m}$ の、ボロンBが $10^{19}\text{atoms}/\text{cm}^3$ にドーピングされた p^+Si による第1のエピタキシャル成長による第1の半導体層131を形成し、次に、 B_2H_6 ガスの流量を変更して、Siエピタキシャル成長を17分間行って、厚さ $5\mu\text{m}$ の、ボロンBが $10^{16}\text{atoms}/\text{cm}^3$ にドーピングされた低濃度の p^-Si による第2のエピタキシャル成長による第2の半導体層132を形成し、更に B_2H_6 ガスに換えて PH_3 ガスを供給して、エピタキシャル成長を2分間行って、 p^- エピタキシャル半導体層132上に、リンPが $10^{19}\text{atoms}/\text{cm}^3$ の高濃度にドーピングされた n^+Si による第3のエピタキシャル成長による第3の半導体層133を形成して、第1～第3の半導体層131～133よりなる $\text{p}^+ - \text{p}^- - \text{n}^+$ 構造の半導体膜13を形成した(図7D)。

【0093】 次に、この実施例においては、半導体膜13上に表面熱酸化によって SiO_2 膜すなわち透明の絶縁膜16を形成し、フォトリソグラフィによるパターンエッチングを行って電極ないしは配線とのコンタクトを行う開口16Wを形成する(図7E)。この開口16Wは、所要の間隔を保持して図においては紙面と直交する方向に延長するストライプ状に平行配列して形成するこ

とができる。このように形成した SiO_2 膜により、界面でのキャリア発生や再結合を極力少なくすることが可能である。

【0094】 そして、全面的に金属膜の蒸着を行い、フォトリソグラフィによるパターンエッチングを行って受光面側の電極ないしは配線17を、ストライプ状開口16Wに沿って形成する(図8)。この電極ないしは配線17を形成する金属膜は、例えば厚さ 30nm のTi膜、厚さ 50nm のPd、厚さ 100nm のAgを順次蒸着し、さらにこれの上にAgメッキを行うことによって形成した多層構造膜によって構成し得る。その後 400°C で20～30分間のアニールを行った。このようにして、太陽電池の構成体200を得た。

【0095】 このようにして用意された前述の集積回路の構成体100と、太陽電池の構成体200とを、支持基板、この例ではICカードを構成する所要のプリント配線が形成された透明樹脂のフレキシブル支持基板に接着剤によって、各エピタキシャル半導体膜側を、支持基板側として接合する。

【0096】 図9は、集積回路の構成体100と、太陽電池の構成体200のフレキシブル支持基板70に対する接合の工程図を示す。この接合に当たっては、集積回路の構成体100と、太陽電池の構成体200の各配線層もしくは電極を、プリント配線73の対応する所定部に半田づけ等によって電気的に接続させて接着剤60による接合を行う(図9A)。

【0097】 次に、各集積回路の構成体100および太陽電池の構成体200から、半導体基体11をそれぞれ剥離する(図9B)。この剥離は、図4Hの工程で説明したように、半導体基体11の表面の多孔質層12においてなされる。

【0098】 このようにすると、フレキシブル基板70上に、それぞれ集積回路の構成体100および太陽電池の構成体200から剥離された薄膜半導体集積回路装置71と薄膜太陽電池72とが所定部に形成され、目的とするフレキシブルICカードが形成される(図5および図9C)。この場合、構成体100および200の半導体基体11の剥離面には、必要に応じて多孔質層の除去および電極の形成がなされる。

【0099】 その後、図9Cで示すように、薄膜半導体集積回路装置71、薄膜太陽電池72等を覆って樹脂膜等の保護膜74を被着形成する。

【0100】 このようにして形成されたICカードに内蔵された薄膜半導体集積回路装置71および薄膜太陽電池72は、共に極めて薄く、フレキシブルであり、ICカードの曲げ応力に充分耐えることができる。

【0101】 尚、この実施例では、集積回路と太陽電池を一体化させるICカードを作るため、ICカードの支持基板70を光透過性としたが、例えば集積回路のみ、あるいは集積回路と液晶素子を形成させる場合等は、他

の絶縁物基板による保持基板を用いて、ICカードを形成できることは言うまでもない。

【0102】〔実施例3〕この実施例においては、パッケージがなされた薄膜半導体集積回路装置を構成する場合で、この場合を図2～図3Fおよび図10～図16を参照して説明する。

【0103】すなわち、この実施例においても、まず、高濃度にボロンがドーパされて、比抵抗が例えば0.01～0.02Ωcmとされた単結晶Siによるウエハ状の半導体基体11を用意した(図2A)。そして、この半導体基体11の表面の陽極化成して半導体基体11の表面に多孔質層を形成した。この実施例においては、図1で説明した2槽構造の陽極化成装置を用いて陽極化成を行った。すなわち、第1および第2の各槽1Aおよび1B間に単結晶Siによる半導体基体11を配置し、両槽1Aおよび1Bには、共にHF:C₂H₅OH=1:1を注入した。そして、これら各電解溶液槽1Aおよび1Bの電解溶液4中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0104】まず、電流密度を、1mA/cm²の低電流として、これを8分間通電させた。これにより、口径が小さい微細孔を有し、緻密な表面層12Sが形成された(図2B)。その後、一旦通電を停止する。次に、電流密度を5mA/cm²として、10分間の通電を行った。このようにすると、表面層12S下に、この表面層に比し多孔率が高い、中間多孔率層12Mが形成された(図2C)。その後、再び通電を停止する。次に、電流密度を100mA/cm²に上げて3秒間の通電を行った。この場合においても、中間多孔率層12Mの内部に、すなわち中間多孔率層12Mによって上下から挟み込まれるように、表面層12Sおよび中間多孔率層12Mに比し、多孔率が高い高多孔率層12Hが形成される(図2D)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

【0105】この多孔質層12においても、中間多孔率層12Mと高多孔率層12Hとの多孔率が大きく相違するので、これら界面および界面近傍に大きな歪が生じ、この付近の強度が極端に弱くなる。しかしながら、この場合においても、この歪は、高多孔率層12Hと表面層12Sとの間に中間多孔率層12Mが存在することによって、これがバッファとして作用し、この歪みにより影響を大きく受けやすい多孔質層の表面への歪みの影響を緩和することができる。したがって、この歪みによって、後に多孔質層上に行うエピタキシャル成長の結晶性への影響を効果的に回避できる。

【0106】その後、後に行うエピタキシャル成長がなされる常圧Siエピタキシャル成長装置において、多孔質層12を有する半導体基体11を、H₂雰囲気中で1100℃の加熱すなわちアニール処理を行った。このア

ニールは、室温から1100℃まで約20分掛けて昇温し、1100℃で約30分間のアニールを行った。このH₂アニールにより、口径の小さい微細孔による表面層が平坦で滑らかになる。同時に、多孔質層12の内部では、中間多孔率層12Mと、高多孔率層12Hの界面付近において、分離強度が、よりいっそう弱くなった。

【0107】その後、H₂アニールを行った常圧Siエピタキシャル成長装置において、多孔質層12上すなわち表面層12S上にSiのエピタキシャル成長を行ってエピタキシャル半導体膜13を形成した(図3E)。このエピタキシャル成長は、先のH₂雰囲気中アニール温度の1100℃から1030℃まで降温して、SiH₄ガスを用いたSiエピタキシャル成長を17分間行った。これより多孔質層12上に結晶性に優れた、厚さ約5μmのSiエピタキシャル半導体膜13が形成された。

【0108】このとき、Siエピタキシャル半導体膜13表面に、凹凸があるときは、この表面を研磨する。高多孔率層12Hは、上述した歪と、これが高多孔率をもっていわば霜柱状とされて脆弱化されて分離強度が非常に弱くなっているのを、これを破損することがないように、弱い力での研磨を行った。これによって、エピタキシャル半導体膜13の表面はより平坦になった。このようにしたことによって、例えば露光装置のマスク合わせにおいて、より高精度に行うことができる。

【0109】このようにしてエピタキシャル成長された半導体膜13に、通常の半導体製造プロセスによって、回路素子もしくは集積回路を形成して、集積回路の構成体100を得る(図3F)。図示の例では、MOS-FETによるCMOSからそれぞれなり、最終的に互いに分離チップ化される複数の集積回路を形成した場合で、この場合、エピタキシャル半導体膜13の素子間分離を行うべき部分に、LOCOSによって素子分離絶縁層51を形成した。そして、MOS-FETの形成部に例えば半導体膜13を表面熱酸化することによってゲート絶縁膜52を形成し、これの上にゲート電極53を、例えばCVD法によって多結晶Siを全面的に形成し、フォトリソグラフィによるパターンエッチングによって所要のパターンとしてゲート電極53を形成する。次に、このゲート電極53の両側に、このゲート電極53をマスクとして比較的low濃度にp型もしくはn型の不純物をイオン注入して低濃度のソースおよびドレイン領域を形成し、その後、ゲート電極53の側面に例えばSiO₂によるサイドウォール54を形成する。そして、このサイドウォール54を含んでゲート電極53をマスクにその両側にp型もしくはn型の不純物を高濃度にイオン注入して、これによって形成した低濃度のソースおよびドレイン領域と、先に形成した低濃度のソースおよびドレイン領域とによって、ソースおよびドレイン領域とする半導体領域55を形成する。このようにしてLDD型MO

S-FETを形成する。

【0110】その後、全面的に例えば SiO_2 による第1の層間絶縁層56を堆積し、平坦化した後、これの上に第1の配線層57を形成する。この第1の配線層57は、第1の層間絶縁層56に穿設したコンタクトホールを通じて、回路素子の所定の半導体領域55に電気的にコンタクトする。さらに、全面的に、例えば SiO_2 による第2の層間絶縁層58を形成し、これの上に第2の配線層59を形成する。この第2の配線層59は、第2の層間絶縁層58に穿設したコンタクトホールを通じ

て、例えば下層の第1の配線層の所定部に電気的にコンタクトする。

【0111】次に、接着剤160を介してこの実施例においては、光透過性を有し、比較的剛性に富んだ、すなわち伸縮性や可撓性（フレキシブル）を殆ど示さない樹脂基板あるいはガラス基板等よりなる保持基板161を、集積回路が形成されたエピタキシャル半導体膜13上、したがって、第2の配線層59が形成された第2の層間絶縁層58上に接合すなわち貼着する（図10A）。このときの保持基板161の接着強度は、多孔質層12による半導体基体11からの分離強度よりも強い強度、すなわち分離に際して保持基板161に剥離が生じない程度の接着強度とする。

【0112】この実施例においては、接着剤160としては、上述した接着強度を示すものの、紫外線照射によってその接着性が低下して容易に剥離が可能となる接着剤によって構成した。

【0113】次に、半導体基体11と保持基板161との間に両者を引き離す方向の外力を与えるこのようにすると、前述したように弱い強度とされた多孔質層12の高多孔率層12Hもしくはその近傍で分離が生じ、半導体基体11から保持基板161とともに集積回路が形成されたエピタキシャル半導体膜13が剥離する（図10B）。

【0114】この場合においても、分離して残された単結晶Si半導体基体11は、再び上述したと同様な方法を採用して薄膜半導体装置を得るための半導体基体として用いることができる。あるいは、この薄膜半導体装置の繰り返し製造によって半導体基体11の厚さが薄くなった場合には、これ自体に回路素子もしくは集積回路を形成する薄膜半導体として用いることができる。

【0115】次に、剛性を有する保持基板161側に、面方向の引っ張りによって延伸するダイシング用フィルム80を接着剤（図示せず）によって接合する（図10C）。

【0116】そして、ダイヤモンドカッター等のダイシング装置によって、エピタキシャル半導体膜13に形成された複数の互いに分離してチップ化されるべき回路素子もしくは集積回路間を、エピタキシャル半導体膜13側から保持基板161を全厚さもしくは殆ど全厚さに渡

って切り込んだ切り込み溝162を形成し、図においては各CMOS毎に分断して複数のチップ化するダイシング作業を行う。

【0117】その後、ダイシング用フィルム80を、その面方向に引き延ばして先に分断されたチップ81を相互に離間させ（図11D）、ダイシング用フィルムを剥がす（図11E）。

【0118】その後もしくはその前に、保持基板161に接合されたチップ81に関して、それぞれ形状による不良品のチェックを行って良品に関してのみ、チップ81の裏面に、チップ81より大きい面積の支持基板82、この実施例では、フレキシブルポリイミド樹脂フィルムによる支持基板82を接着強度が充分大きいポリイミド接着剤によって接着した（図11F）。この場合、支持基板82の接着に先立って例えば光遮断フィルム（図示せず）を貼着して置くこともできる。そして、この支持基板82として、充分面積の大なる基板を用いるときは、これ以降の洗浄等の作業工程においていわゆるパッチ処理を行うことができる。

【0119】保持基板161側から紫外線照射を行って、接着剤160の接着強度を低下させて保持基板161を取り除く（図12G）。

【0120】その後、チップ81を洗浄して紫外線照射によって接着強度が低下した接着剤を化学的に洗浄除去して集積回路の配線層、図示の例では第2の配線層59の表面を清浄化する（図12H）。

【0121】基板82上に、チップ81の表面を覆って絶縁性樹脂、 SiO_2 、 SiN 等の絶縁層83、この実施例ではポリイミド樹脂を塗布した（図12I）。このポリイミド樹脂を硬化させるため、130℃で1分間のベーキングを行った。

【0122】このポリイミド樹脂による絶縁層83に、フォトリソグラフィによるパターンエッチングを行って配線層59に対する外部配線のコンタクト部に、コンタクト窓83Wを形成する（図13J）。このフォトリソグラフィ工程は、先ず全面的にフォトレジスト（図示せず）を塗布し、110℃で1分間のベーキングを行って、その後パターン露光を行い、アルカリ液によるフォトレジストの現像を行って露光部の除去を行うが、この場合これと同時に、この除去部を通じて露呈したポリイミド樹脂による絶縁層83のエッチングされコンタクト窓83Wが穿設される。その後、ポリイミド樹脂を硬化させるために、200℃で60分間の熱処理と、350℃で80分間の熱処理を行った。

【0123】絶縁層83上に全面的にAl導電層を、そのコンタクト窓83Wを通じて外部に露呈する配線層59にオーミックコンタクトさせて被着し、これをフォトリソグラフィによるパターンエッチングによって所要のパターンの外部配線84を形成する（図13K）。尚、この外部配線84を構成する導電層は、Alに限られる

ものではなく、例えばTi、Ni、Au、Ag、Cu等によって構成することもできるし、金属層に限られる物ではなく導電性樹脂等によって構成することもできる。

【0124】その後全面的に遮光性樹脂等の遮光性絶縁層85を塗布し(図13L)、フォトリソグラフィによるパターンエッチングを行って支持基板82上に差し渡って形成された外部配線84の端子導出部にコンタクト窓85Wを形成し(図14M)、更に全面的にすなわち少なくとも半導体チップ81の形成部表面を覆ってポリイミド樹脂による保護樹脂膜86を塗布する(図14N)。更に前述したと同様のフォトリソグラフィによってポリイミド樹脂による保護樹脂膜86にコンタクト窓85W上において、コンタクト窓86Wを穿設する(図15O)。このコンタクト窓86Wおよび85Wを通じて外部配線84の端子導出部に半田を塗布して金属パンプ87を形成する(図15P)。

【0125】このようにして、半導体チップ81は、保護樹脂膜86によってパッケージングがなされる。そして、この場合、このパッケージ部全体を含んでその全体の高さ(厚さ)は、1mm以下とすることができるものであって、したがって、金属パンプ87の高さはこれより突出する高さとする事ができる。このようにして、パッケージングがなされた目的とするフィルム状の半導体集積回路装置が構成される。図16はこのようにして形成されたフィルム状の半導体集積回路装置の概略斜視図を示す。図16において、図15Pと対応する部分には同一符号を付し、重複説明を省略する。

【0126】この実施例による半導体集積回路装置は、パッケージングが施されているにも係わらず全体の厚さは十分に薄く1mm以下とすることができることから、各種電子機器に適用して、短小軽薄に構成することができる。また、薄膜半導体による半導体チップとともども全体としてもフレキシブルに構成することができることから、電子機器への適用において、その組み立て配置の自由度が大きい。また、他の外部配線例えばプリント配線への接続において、その接続端子部に、半導体集積回路本体、すなわち半導体チップの配置部より高く金属パンプ87を構成できることから、この外部配線への接続を金属パンプを介して直接的に例えばフェースダウンボンディングによって接続することができるので、この接続による電子機器の組み立て製造の簡易化、自動化を容易に行うことができる。

【0127】しかしながら、この実施例におけるように、支持基板82を、フレキシブル基板によって構成する場合に限らず、フレキシブルであることを必要としない半導体装置に本発明を適用する場合においては、支持基板82としては、剛性すなわち堅い例えばセラミック基板、ガラス基板等によって構成することもできる。また、上述の例では、絶縁層83をポリイミド樹脂とした場合であるが、そのほかSiO₂、SiN等によって構

成することもできる。

【0128】また、前述した各例においては、エピタキシャル半導体膜13が、単層エピタキシャル半導体膜である場合を示したが、複数のエピタキシャル半導体層を積層した複層構造とすることもできなど上述した例に限られず種々の構成とすることができる。

【0129】尚、上述した各例においてはエピタキシャル半導体膜の半導体基体11からの剥離を、互いに引き離す外力を与えて剥離した場合であるが、或る場合は超音波振動によって剥離することができる。

【0130】上述した各例において陽極化成において、電流密度が大きい場合や、長時間通電によって半導体例えばSiの剥離が発生してこれによるSiくずが発生して装置内例えば電解溶液槽等に付着した場合は、半導体基板11を取り出して後電解液に換えて槽内にフッ硝酸を注入することによって不要なSiの付着物を溶解除去することができる。また、陽極化成を行う装置としては、図2の例に限らず、単槽構造において半導体基体を浸漬させる装置を用いることができる。

【0131】上述した本発明製造方法によれば、半導体基体は、表面に多孔質層を形成し、これの上に半導体のエピタキシャル成長を行って、これを剥離するので半導体基体は多孔質化された厚さだけが消耗されるものであるが、上述した半導体膜の形成および剥離の後には、半導体基体表面を研磨することによって、再び多孔質層の形成、半導体膜の形成、剥離を繰り返すことができ、その繰り返し使用が可能であることから、安価に製造できる。また、半導体基体の繰り返し使用によって、これが薄くなった場合には、この半導体基体自体によって薄膜半導体として用いることができるので、半導体基体は、最終的に無効となることなく、殆ど無駄なく使用できることから、これによってもコストの低減化をはかることができる。

【0132】また、半導体基板11は、その繰り返し利用によって厚さが減少するが、この減少した厚さに見合った厚さの半導体を基板11にエピタキシャル成長することによって、上述したICカードを始めとして半導体装置の製造を繰返し行うことができる。このようにするときには、永久的に同一の半導体基体の使用が可能となるので、更に低コスト、低エネルギーで太陽電池を製造することができる。

【0133】また、本発明製造方法によれば、エピタキシャル成長による半導体膜上にプリント基板などの支持基板を接合して基板と半導体膜とを一体化させた後、基板を半導体膜と共に、半導体基体から剥離する方法を採ることができるので、この基板の種類には制限はなく、金属板、セラミック、ガラス、樹脂等の堅い基板、あるいはフレキシブル基板など、従来からの半導体技術の常識では到底考えられなかったような基板上に薄膜単結晶を形成することができる。このように単結晶半導体によ

って半導体装置やＩＣカードを製造するので、すぐれた特性のものを構成できる。

【０１３４】また、単に単一多孔率を有する多孔質層上に半導体膜をエピタキシャル成長させる方法による場合は、その半導体膜の結晶性を良好にするには、結晶成長の核となる多孔質層の多孔率を小さくする必要があることから、陽極化成に当たって、電流密度を低くして、電解溶液のＨＦ混合比を多くする必要がある。ところが、このように、多孔率を低くすると、多孔質層が硬くなり、エピタキシャル半導体膜の分離が難しくなる。そこで、分離強度を弱くするために多孔率を上げようと、例えば陽極化成の条件のうち、電流密度を高くして、電解溶液のＨＦ混合比を少なくすると、この場合は分離は容易になるが、エピタキシャル半導体膜の結晶性が極端に悪くなる。これに対し、前述したように、多孔質層の表面部分の多孔率を小さくして、多孔質層内部の多孔率が大きいという２面性の性質をもつ多孔質層を形成する場合は、多孔質層上にエピタキシャル半導体膜を良好に形成でき、しかも、エピタキシャル半導体膜を容易に分離できる。例えば、超音波により容易に分離させることができる程度の弱い多孔質層を形成することも可能である。

【０１３５】また、多孔質層に形成する高多孔率層は、多孔率が大きいほど剥離が容易になるが、歪みが大きく、その影響が多孔質層の表面層にまで及ぼしてしまう。このため、表面層に亀裂が生じることもある。また、エピタキシャル成長を行う際、エピタキシャル半導体膜に欠陥を生じさせる原因となる。これに対し、前述したように、多孔率の非常に高い層と多孔率の低い表面層との間に、これらの層から発生する歪みを緩和するバッファ層として、表面層よりやや多孔率の高い中間多孔率層を形成することにより、剥離が容易で良質のエピタキシャル半導体膜を形成できる。

【０１３６】また、本発明によれば高電流密度での陽極化成において、電流を間欠的に流すことにより、多孔質層に高多孔率層を半導体基板側界面またはその近傍に形成することができるため、表面と剥離層となる高多孔質層とを最大限に離間させることができ、そのためバッファ層を薄くでき、その分多孔質層の厚さを減らし、半導体基体の厚さ減方向の消費を少なくすることができ、コストを更に低下させることが可能となる。

【０１３７】また、本発明方法において、低電流密度での陽極化成において、電流を漸次増大させることにより、多孔質層の表面層と剥離層との間のバッファ層の多孔率を内部に行くに従い漸次増大させるように形成するときは、バッファ層の機能を更に良好にすることができる。

【０１３８】また、陽極化成を、フッ化水素とエタノールを含有する電解溶液、あるいは、フッ化水素とメタノールの混合液中で行うことにより、多孔質層を容易に形

成することができる。この場合、陽極化成の電流密度を変える際に、この電解溶液の組成も変えることにより、多孔率の調整範囲が更に大きくなる。

【０１３９】また、陽極化成中に光を照射することにより、多孔質層の表面の凹凸の発生が著しくなり、エピタキシャル半導体膜の結晶性が悪くなるが本発明においては、陽極化成を暗所で行うことにより、この凹凸を軽減ないしは回避でき、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。

【０１４０】また、多孔質層を形成した後、水素ガス雰囲気中で加熱することにより、多孔質層の表面層の表面はなめらかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができた。また、多孔質層を形成した後、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することにより、多孔質層の内部が酸化されるので、次工程の水素中アニールを施しても、多孔質層には大きな構造変化が生じ難くなり、多孔質層の表面に内部からの歪みが伝わり難くなるため、結晶性の良好なエピタキシャル半導体膜を形成することができる。

【０１４１】更に、半導体基体として、ホウ素を高濃度にドーブしたものは、陽極化成時に、結晶状態を維持したまま多孔質化がなされるので、良質のエピタキシャル半導体膜を形成できる。

【０１４２】また、本発明方法によれば、支持基板をプリント基板とすることにより、プリント基板に直接的に半導体装置、ＩＣカードを構成できるなど製造の簡素化をはかることができる。

【０１４３】また、本発明によれば半導体装置を、容易、確実に保護樹脂膜によってパッケージングすることができ、また全体の厚さを充分小さくできることから、端子導出のための金属パンプの高さを装置の高さ程度もしくはこれより以上とすることができ他部との電気的接続を容易に行なうことができる。

【０１４４】

【発明の効果】上述した本発明の製造方法によれば、薄膜単結晶上に各種回路素子、集積回路等を容易に形成することができる。また、本発明のＩＣカードの製造方法によれば、フレキシブルな薄膜半導体装置を簡単な工程で内蔵することができる。また、本発明によればパッケージングも簡単にできる。

【図面の簡単な説明】

【図１】本発明方法を実施する陽極化成装置の一例の構成図である。

【図２】本発明方法の一実施例の工程図（その１）である。Ａ～Ｄは、その各工程の断面図である。

【図３】本発明方法の一実施例の工程図（その２）である。Ｅ～Ｇは、その各工程の断面図である。

【図４】本発明方法の一実施例の工程図（その３）である。ＨおよびＩは、その各工程の断面図である。

【図５】ＩＣカードの構成を示す斜視図である。

【図6】本発明方法の他の一実施例の工程図（その1）である。A～Cは、その各工程の断面図である。

【図7】本発明方法の他の一実施例の工程図（その2）である。DおよびEは、その各工程の断面図である。

【図8】本発明方法の他の一実施例の工程図（その3）である。

【図9】本発明によるICカードの製造方法の一例の工程図である。A～Cは、その各工程の断面図である。

【図10】本発明方法の他の一実施例の工程図（その1）である。A～Cは、その各工程の断面図である。

【図11】本発明方法の他の一実施例の工程図（その2）である。D～Fは、その各工程の断面図である。

【図12】本発明方法の他の一実施例の工程図（その3）である。G～Iは、その各工程の断面図である。

【図13】本発明方法の他の一実施例の工程図（その4）である。J～Lは、その各工程の断面図である。

【図14】本発明方法の他の一実施例の工程図（その5）である。MおよびNは、その各工程の断面図である。

【図15】本発明方法の他の一実施例の工程図（その6）である。OおよびPは、その各工程の断面図である。

【図16】図10～図15の本発明方法で製造した装置の一概略斜視図である。

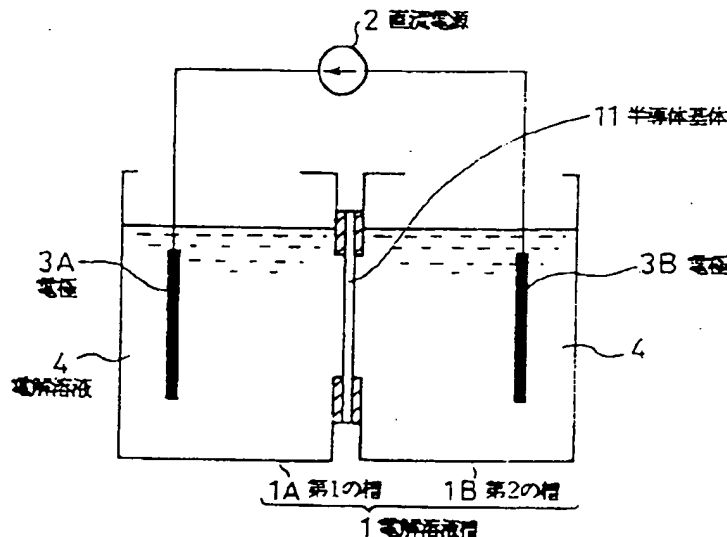
【図17】本発明方法における多孔質層の加熱処理前の要部の顕微鏡写真の模式図である。

【図18】本発明方法における多孔質層の加熱処理後の要部の顕微鏡写真の模式図である。

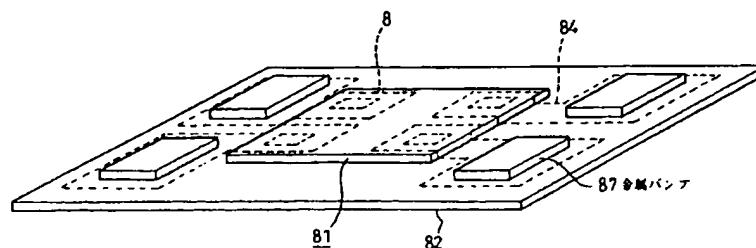
【符号の説明】

11 半導体基体、12 多孔質層、12M 中間多孔率層、12H 高多孔率層、13 エピタキシャル半導体膜、131 第1のエピタキシャル半導体膜、132 第2のエピタキシャル半導体膜、133 第3のエピタキシャル半導体膜、100 集積回路の構成体、200 太陽電池の構成体、51 分離絶縁層、52 ゲート絶縁膜、53 ゲート電極、54 サイドウォール、55 半導体領域、56 第1の層間絶縁層、57 第1の配線層、58 第2の層間絶縁層、59 第2の配線層、60 接着剤、61 支持基板、70 支持基板、71 薄膜半導体集積回路装置、72 薄膜太陽電池、80 ダイシング用フィルム、81 チップ、82 支持基板、83 絶縁層、83W コンタクト窓、84 外部配線、85 遮光性絶縁層、86 保護樹脂膜、87 金属バンプ、161 保持基板

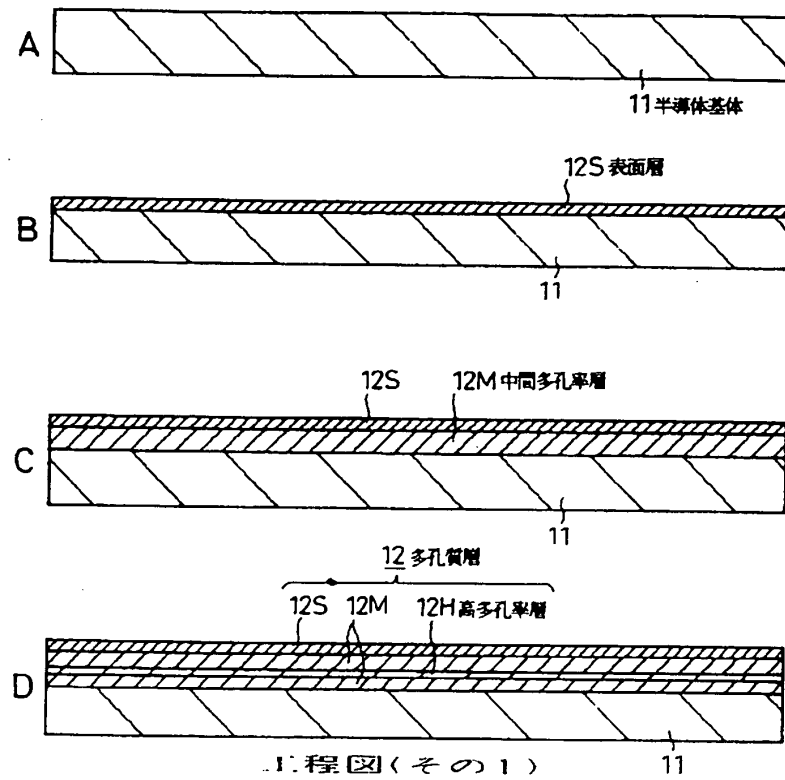
【図1】



【図16】



【図2】



【図5】

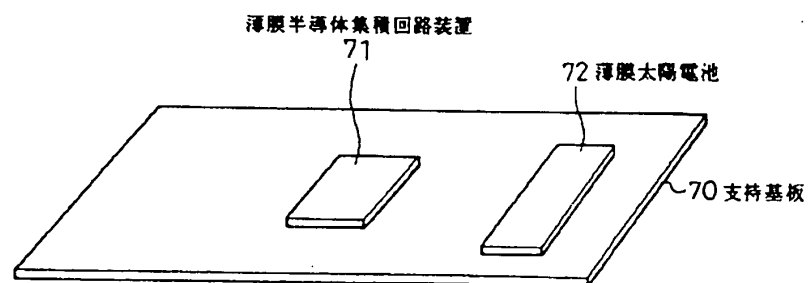


Figure 1 consists of two cross-sectional views, (E) and (F), of a semiconductor device.

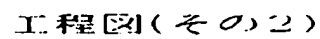
View (E) shows a top layer with regions 12S, 12M, and 12H, and a semiconductor film 13. The bottom layer is labeled 11.

View (F) shows a more complex structure with gate electrodes 53, side walls 54, and various semiconductor regions 51, 52, 53, 54, 55, 56, 57, 58, 59. The bottom layer is labeled 100 and 11.

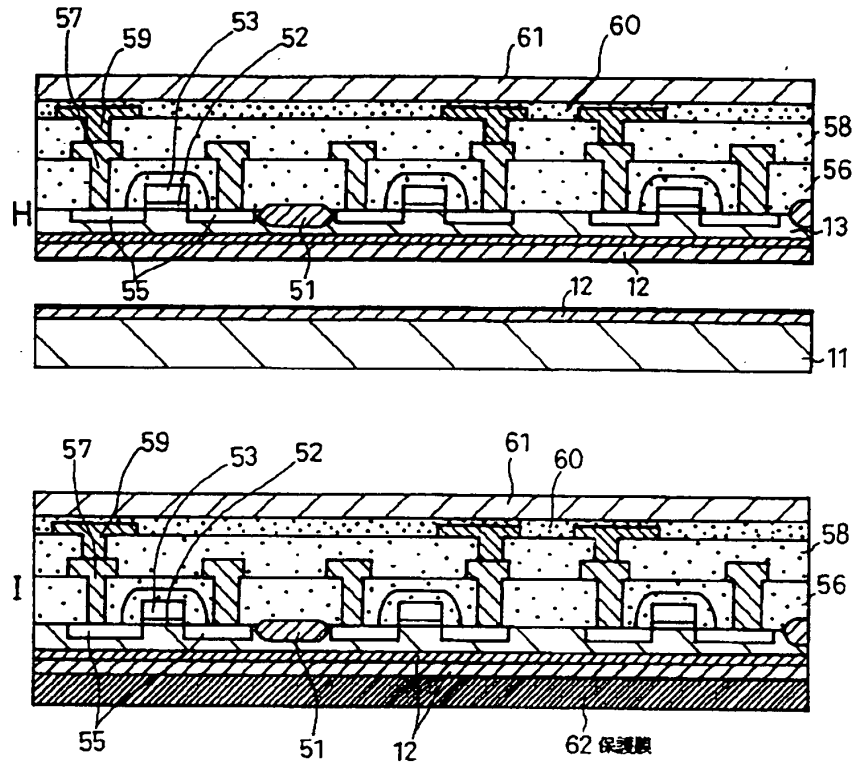
The labels in the diagram include:

- 12: 12S, 12M, 12H
- 13: 半導体膜 (Semiconductor film)
- 11
- 第1の配線層 (1st wiring layer) 57
- 53 ゲート電極 (Gate electrode)
- 54 サイドウォール (Side wall)
- 第2の配線層 (2nd wiring layer) 59
- 第1の層間絶縁層 (1st interlayer dielectric) 56
- 第2の層間絶縁層 (2nd interlayer dielectric) 58
- 52 ゲート絶縁膜 (Gate insulating film)
- 55 半導体領域 (Semiconductor region)
- 100
- 11
- 51
- 分離絶縁層 (Separation insulating layer)

The caption for Figure 1 is: 集積回路の構成体 (Structure of integrated circuit).

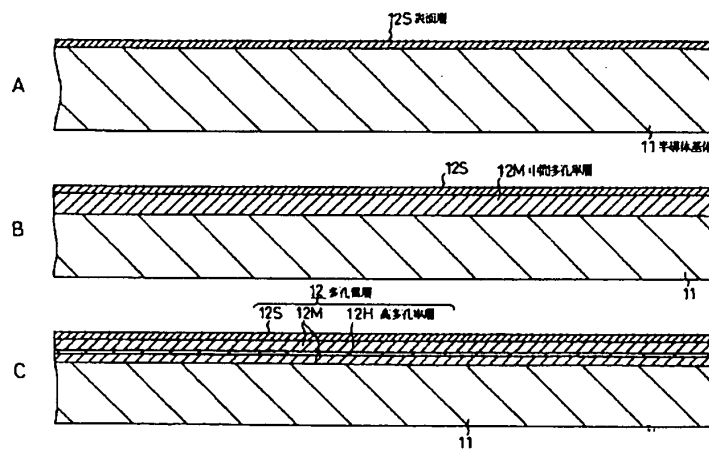


【図4】



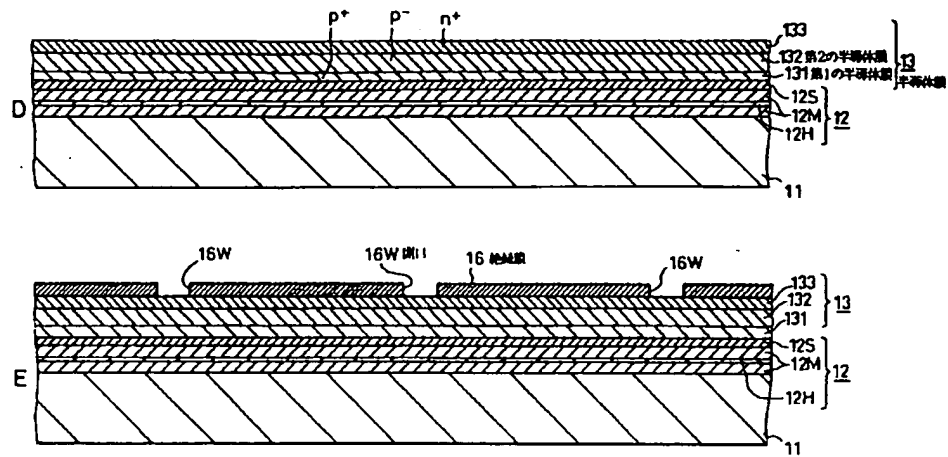
工程図(その3)

【図6】



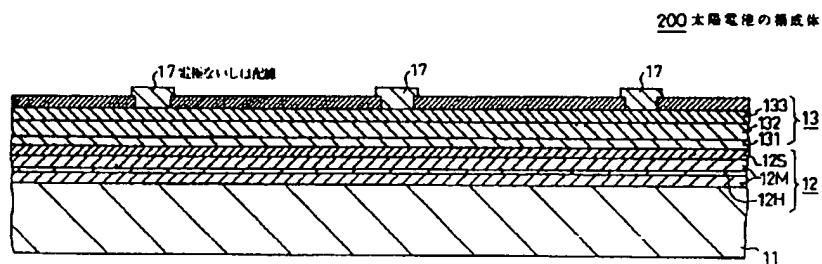
工程図(その1)

【図 7】



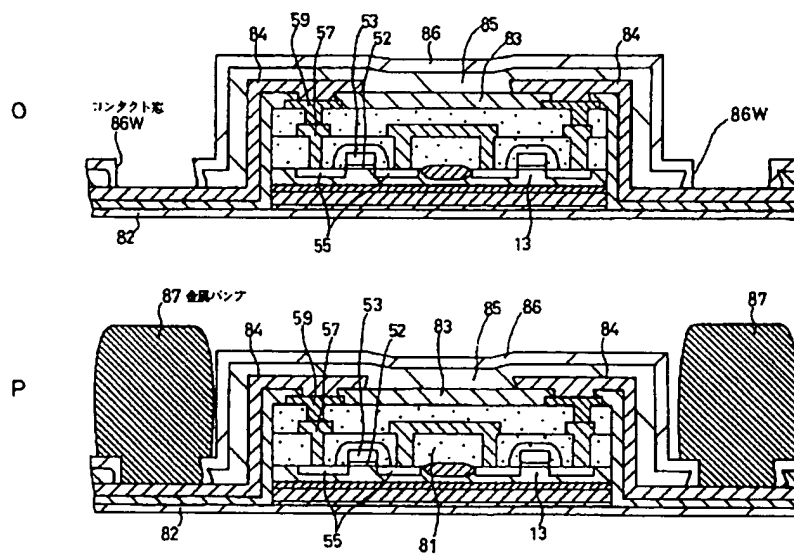
工程図(その2)

【図 8】



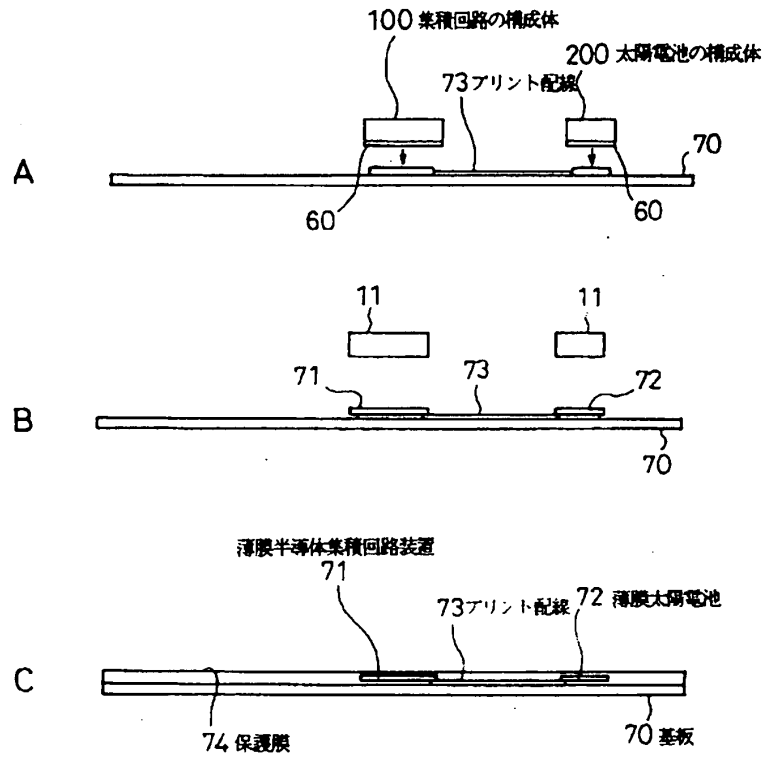
工程図(その3)

【図 15】

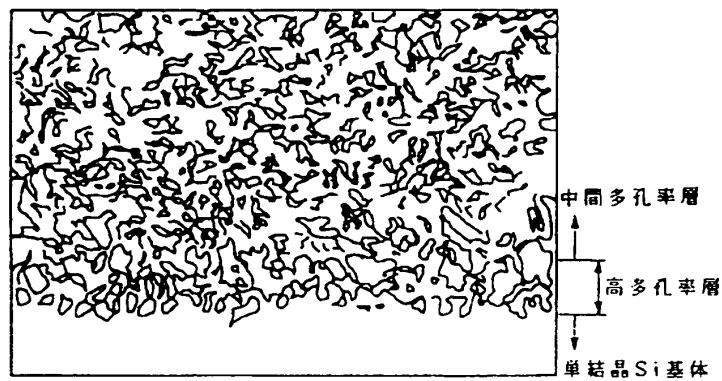


工程図(その4)

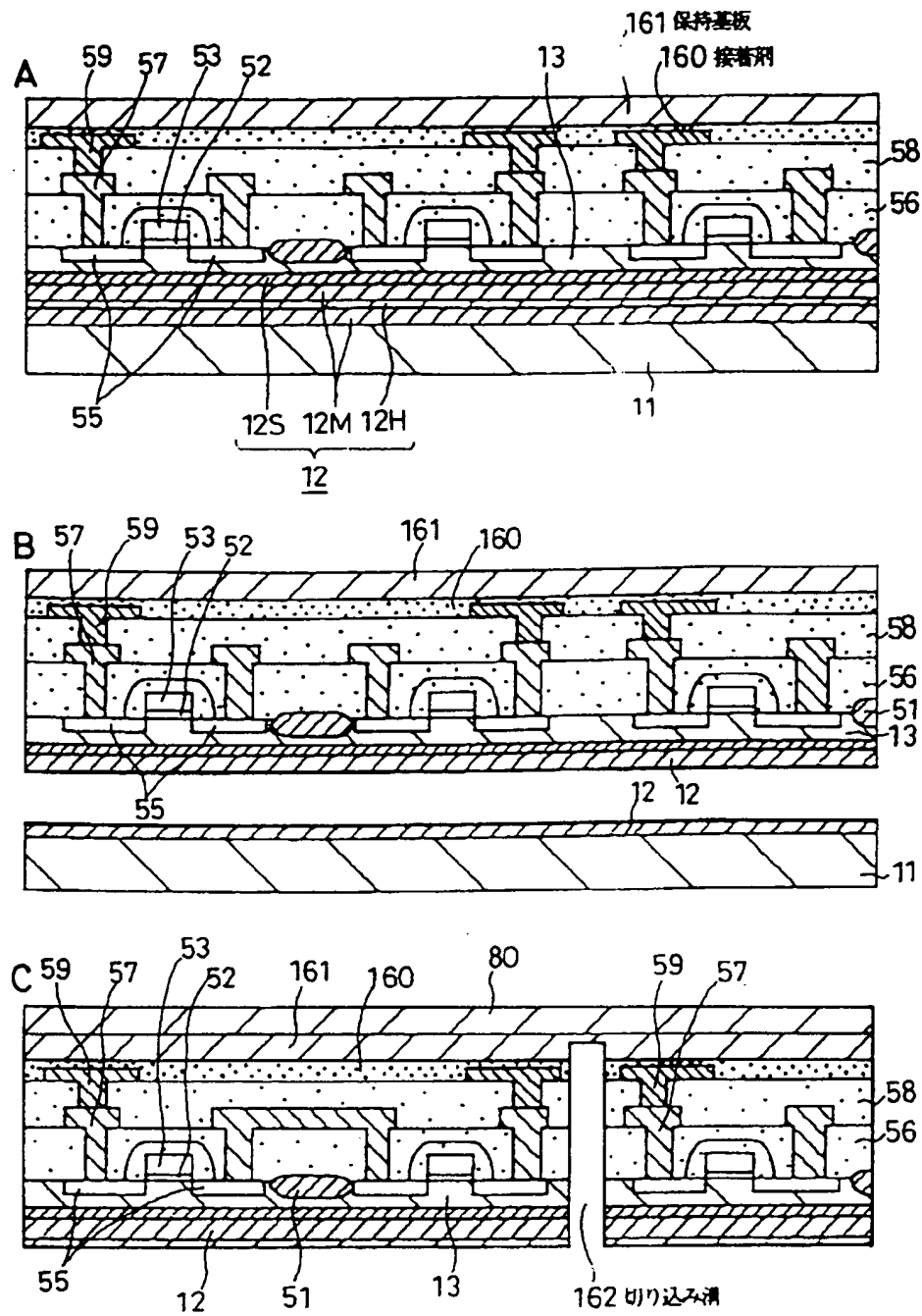
【図9】



【図17】

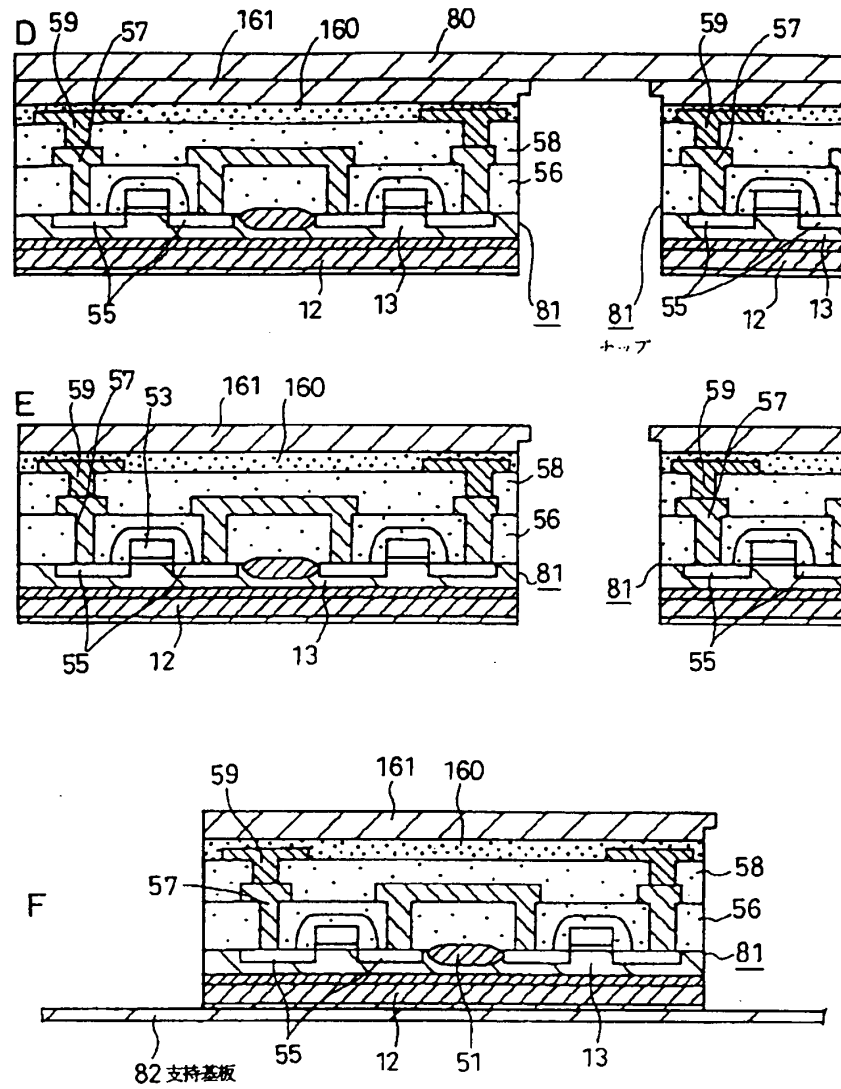


【図10】



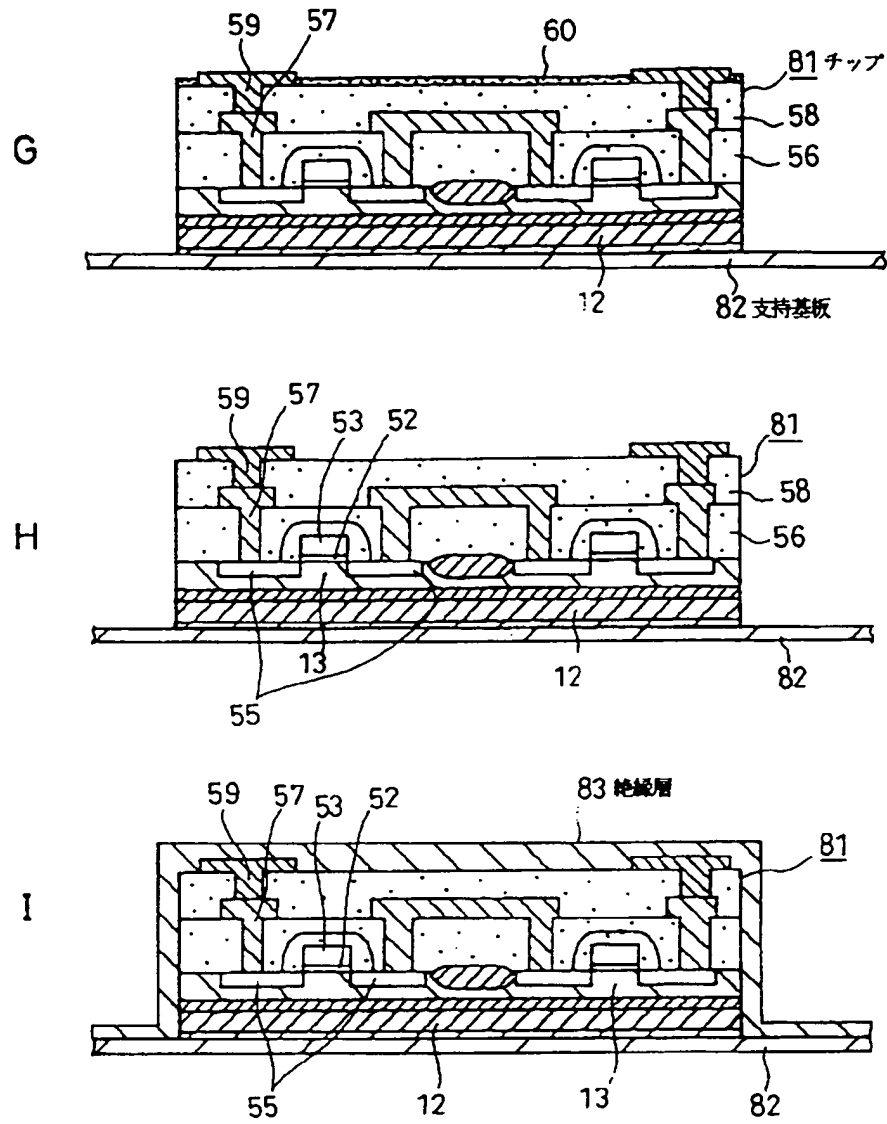
工程図(その1)

【図11】



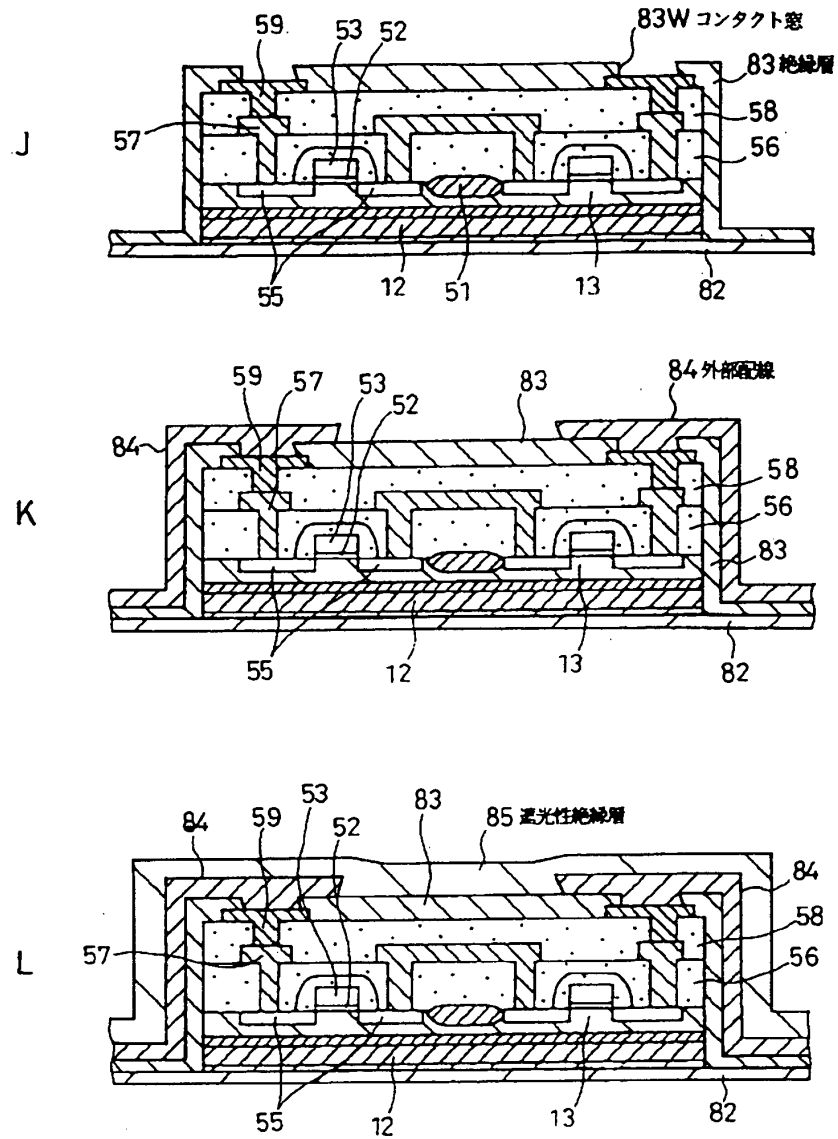
工程図(その2)

【図12】



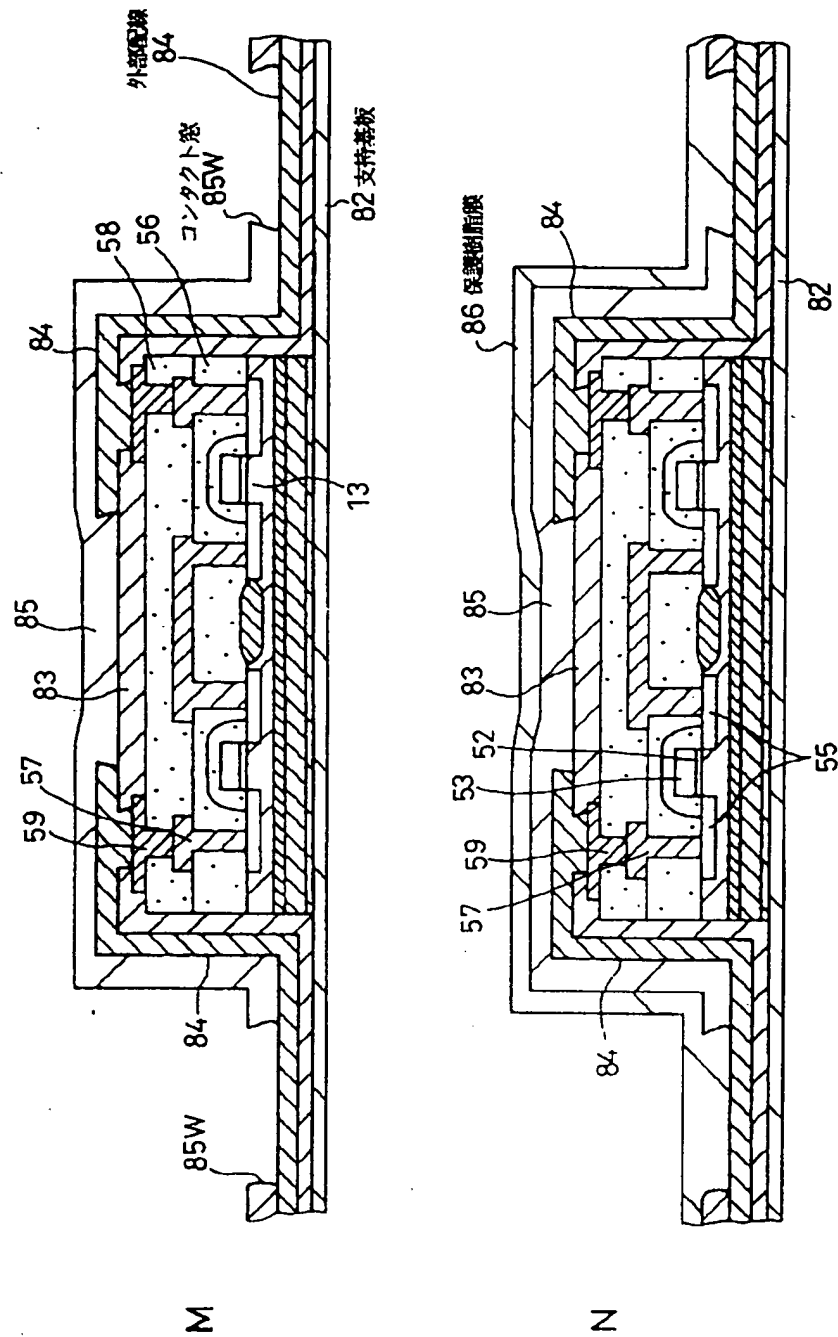
工程図(その3)

【図13】



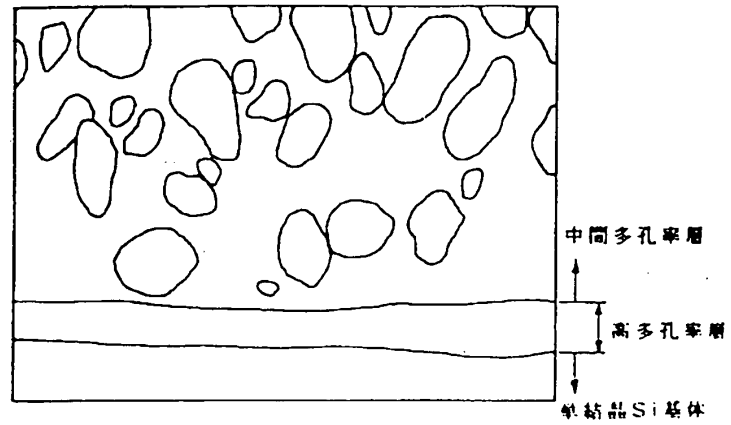
工程図(その4)

【図14】



工程図(その5)

【図18】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 29/786

H O I L 29/78

6 1 3 B

21/336

6 1 8 A

// H O I L 21/316

6 2 6 C

THIS PAGE BLANK (USPTO)